



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-177008

(P2001-177008A)

(43) 公開日 平成13年6月29日 (2001.6.29)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)
H 0 1 L 23/12		H 0 5 K 3/46	Q 5 E 0 8 2
H 0 5 K 3/46		H 0 1 L 23/12	B 5 E 3 4 6
// H 0 1 G 4/33		H 0 1 G 4/06	1 0 2

審査請求 未請求 請求項の数10 O L (全 24 頁)

(21) 出願番号 特願平11-362212

(22) 出願日 平成11年12月21日 (1999. 12. 21)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 松崎 永二

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所生産技術研究所内

(72) 発明者 石原 昌作

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所生産技術研究所内

(74) 代理人 100075096

弁理士 作田 康夫

最終頁に続く

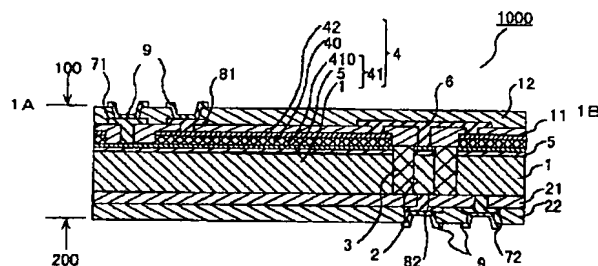
(54) 【発明の名称】 キャパシタを内蔵した回路基板とそれを用いた半導体装置

(57) 【要約】

【課題】 インダクタンス成分を低減し、ペロブスカイト構造酸化物等誘電率の高い誘電体層を用いたキャパシタを内蔵できる回路基板を提供し、上記キャパシタをデカップリングキャパシタとして用い、スイッチングノイズや不要電磁輻射を低減した半導体装置の提供。

【解決手段】 回路基板のベース基板として導電性部材を用い、ベース基板の表面にベース基板を一方の電極とするキャパシタを形成し、該キャパシタを構成する2つの電極と接続された隣接する2つの接続端子からなる接続端子対を少なくとも2組設け、上記キャパシタの2つの電極を流れる電流に、互いに反対方向の成分が多くなるように配置する。同一キャパシタに接続された上記接続端子対の少なくとも1組を半導体チップの電源ラインと接地ラインに接続し、少なくとも1組を配線基板の電源ラインと接地ラインに接続する。

図 1



- 1…ベース基板 2…導電性ビア 3…ビア絶縁層 4…キャパシタ  
40…キャパシタ4の誘電体層 41…キャパシタ4の第1の電極  
42…キャパシタ4の第2の電極 410…第1の電極を構成する電極層  
5…保護層 6…導電性薄膜パターン 8…端子形成層  
11…第1の絶縁層 12…第2の絶縁層 21…第3の絶縁層  
22…第4の絶縁層 71, 81…第1の主表面上に設けられた接続端子  
72, 82…第2の主表面上に設けられた接続端子 1000…回路基板  
100…回路基板1000の第1の主表面 200…回路基板1000の第2の主表面

## 【特許請求の範囲】

【請求項 1】 少なくとも第1の主表面と第2の主表面を有するベース基板の第1の主表面上に、第1の電極、誘電体層、第2の電極が順次積層してなるキャパシタが形成され、上記ベース基板内に、上記ベース基板の第1の主表面と第2の主表面を電気的に接続するために設けられた、少なくとも1個以上の導電性ビアを有する回路基板であって、

上記ベース基板は導電性部材により構成されて上記キャパシタの第1の電極の一部として用いられ、上記導電性ビアは絶縁性部材により上記ベース基板より電気的に分離されるとともに、上記導電性ビアの少なくとも1つは上記キャパシタの第2の電極に接続され、上記回路基板の上記2つの主表面上に、上記ベース基板と電気的に接続された第1の接続端子と上記ベース基板と電気的に絶縁された第2の接続端子が隣接して配設された、少なくとも1組以上の実装用接続端子対が設けられ、上記第1の主表面上に設けられた少なくとも1組の実装用接続端子対の上記第2の接続端子が上記キャパシタの第2の電極に接続され、上記第2の主表面上に設けられた少なくとも1組の実装用接続端子対の第2の接続端子が上記キャパシタの第2の電極に接続される導電性ビアに接続され、上記ベース基板の第1の主表面を横切る平面の中に、上記キャパシタの上記第2の電極に接続される上記第2の接続端子を有する上記第1の主表面上に設けられた実装用接続端子対を構成するそれぞれの接続端子の少なくとも一部と、上記キャパシタの上記第2の電極に接続される上記導電性ビアに接続される第2の接続端子を有する上記第2の主表面上に設けられた実装用接続端子対を構成するそれぞれの接続端子の少なくとも一部とを含む平面が存在する、ことを特徴とするキャパシタを内蔵した回路基板。

【請求項 2】 少なくとも第1の主表面と第2の主表面を有するベース基板の第1の主表面上に、第1の電極、誘電体層、第2の電極が順次積層してなるキャパシタが形成され、上記ベース基板内に、上記ベース基板の第1の主表面と第2の主表面を電気的に接続するために設けられた、少なくとも1個以上の導電性ビアを有する回路基板であって、上記ベース基板は導電性部材により構成されて上記キャパシタの第1の電極の一部として用いられ、上記導電性ビアは絶縁性部材により上記ベース基板より電気的に分離されるとともに、上記導電性ビアの少なくとも1つは上記キャパシタの第2の電極に接続され、上記回路基板の上記2つの主表面上に、上記ベース基板と電気的に接続された第1の接続端子と上記ベース基板と電気的に絶縁された第2の接続端子が隣接して配設された、少なくとも1組以上の実装用接続端子対が設けられ、上記第1の主表面上に設けられた少なくとも1組の実装用接続端子対の上記第2の接続端子が上記キャパシタの第2の電極に接続され、上記第2の主表面上に設けられ

た少なくとも1組の実装用接続端子対の第2の接続端子が上記キャパシタの第2の電極に接続される導電性ビアに接続され、上記キャパシタの上記第2の電極に接続される上記第2の接続端子を有する上記第1の主表面上に設けられた実装用接続端子対を構成する上記第2の接続端子の少なくとも一部と上記キャパシタの上記第2の電極に接続される上記導電性ビアと接続される上記第2の接続端子を有する上記第2の主表面上に設けられた実装用接続端子対を構成する上記第2の接続端子の少なくとも一部を含む平面と、上記キャパシタの上記第2の電極に接続される上記第2の接続端子を有する上記第1の主表面上に設けられた実装用接続端子対を構成する上記第1の接続端子の少なくとも一部と上記キャパシタの上記第2の電極に接続される上記導電性ビアと接続される上記第2の接続端子を有する上記第2の主表面上に設けられた実装用接続端子対を構成する上記第1の接続端子の少なくとも一部を含む平面、とが、上記キャパシタの上記第2の電極に接続される上記第2の接続端子を有する上記第1の主表面上に設けられた実装用接続端子対と上記キャパシタの上記第2の電極に接続される上記導電性ビアと接続される上記第2の接続端子を有する上記第2の主表面上に設けられた実装用接続端子対の間で交差する、ことを特徴とするキャパシタを内蔵した回路基板。

【請求項 3】 少なくとも第1の主表面と第2の主表面を有するベース基板の第1の主表面上に、第1の電極、誘電体層、第2の電極が順次積層してなるキャパシタが形成され、上記ベース基板内に、上記ベース基板の第1の主表面と第2の主表面を電気的に接続するために設けられた、少なくとも1個以上の導電性ビアを有する回路基板であって、上記ベース基板は導電性部材により構成されて上記キャパシタの第1の電極の一部として用いられ、上記キャパシタの上記第2の電極は所定の領域に限定された第2の電極パターンとして設けられ、上記導電性ビアは絶縁性部材により上記ベース基板より電気的に分離されるとともに、上記導電性ビアの少なくとも1つは上記キャパシタの第2の電極に接続され、上記回路基板の上記2つの主表面上に、上記ベース基板と電気的に接続された第1の接続端子と上記ベース基板と電気的に絶縁された第2の接続端子が隣接して配設された、少なくとも1組以上の実装用接続端子対が設けられ、上記第1の主表面上に設けられた少なくとも1組の実装用接続端子対の上記第2の接続端子が上記キャパシタの第2の電極に接続され、上記第2の主表面上に設けられた少なくとも1組の実装用接続端子対の第2の接続端子が上記キャパシタの第2の電極に接続される導電性ビアに接続され、上記キャパシタの上記第2の電極に接続される上記第2の接続端子を有する上記第1の主表面上に設けられた実装用接続端子対を構成する上記第1の接続端子の少なくとも一部と上記キャパシタの上記第2の電極に接続される上記導電性ビアと接続される上記第2の接続端子を有す

る上記第2の主表面上に設けられた実装用接続端子対を構成する上記第1の接続端子の少なくとも一部を含む、上記ベース基板の第1の主表面にほぼ垂直な平面が上記キャパシタの上記第2の電極パターンの少なくとも一部と交差する、ことを特徴とするキャパシタを内蔵した回路基板。

【請求項4】 ベース基板の第1の主表面上に、第1の電極、誘電体層、第2の電極が順次積層してなるキャパシタが形成された回路基板であって、上記ベース基板は導電性部材により構成されて上記キャパシタの第1の電極の一部として用いられ、上記回路基板の上記第1の主表面上に、上記ベース基板と電気的に接続された第1の接続端子と上記ベース基板と電気的に絶縁された第2の接続端子が隣接して配設された、少なくとも2組以上の実装用接続端子対が設けられ、上記第1の主表面上に設けられた少なくとも2組の実装用接続端子対の上記第2の接続端子が上記キャパシタの第2の電極に接続され、上記キャパシタの第2の電極に接続される上記第2の接続端子を有する上記接続端子対のそれぞれの接続端子の少なくとも一部を含む、上記ベース基板の第1の主表面を横切る平面が存在する、ことを特徴とするキャパシタを内蔵した回路基板。

【請求項5】 ベース基板の第1の主表面上に、第1の電極、誘電体層、第2の電極が順次積層してなるキャパシタが形成された回路基板であって、上記ベース基板は導電性部材により構成されて上記キャパシタの第1の電極の一部として用いられ、上記回路基板の上記第1の主表面上に、上記ベース基板と電気的に接続された第1の接続端子と上記ベース基板と電気的に絶縁された第2の接続端子が隣接して配設された、少なくとも2組以上の実装用接続端子対が設けられ、上記第1の主表面上に設けられた少なくとも2組の実装用接続端子対の上記第2の接続端子が上記キャパシタの第2の電極に接続され、上記キャパシタに接続された少なくとも2組の上記実装用接続端子対の上記第1の接続端子の少なくとも一部を含む上記ベース基板の主表面にほぼ垂直な平面と上記第2の接続端子の少なくとも一部を含む上記ベース基板の主表面にほぼ垂直な平面が、上記キャパシタに接続された少なくとも2組の上記実装用接続端子対の間で交差する、ことを特徴とするキャパシタを内蔵した回路基板。

【請求項6】 ベース基板の第1の主表面上に、第1の電極、誘電体層、第2の電極が順次積層してなるキャパシタが形成された回路基板であって、上記ベース基板は導電性部材により構成されて上記キャパシタの第1の電極の一部として用いられ、上記キャパシタの上記第2の電極は所定の領域に限定された第2の電極パターンとして設けられ、上記回路基板の上記第1の主表面上に、上記ベース基板と電気的に接続された第1の接続端子と上記ベース基板と電気的に絶縁された第2の接続端子が隣接して配設された、少なくとも2組以上の実装用接続端子

対が設けられ、上記第1の主表面上に設けられた少なくとも2組の実装用接続端子対の上記第2の接続端子が上記キャパシタの第2の電極に接続され、上記キャパシタの上記第2の電極に接続される上記第2の接続端子を有する少なくとも2組の上記実装用接続端子対を構成する少なくとも2つの上記第1の接続端子の少なくとも一部を含む、上記ベース基板の第1の主表面にほぼ垂直な平面が上記キャパシタの上記第2の電極パターンの少なくとも一部と交差する、ことを特徴とするキャパシタを内蔵した回路基板。

【請求項7】 請求項3あるいは請求項6に記載の回路基板において、上記キャパシタを構成する上記誘電体層が上記第2の電極パターンに対応して所定の形状に分離される、ことを特徴とするキャパシタを内蔵した回路基板。

【請求項8】 請求項1乃至7のいずれかに記載の回路基板において、上記ベース基板の第2の主表面に第1の電極、誘電体層、第2の電極が順次積層されてなる第2のキャパシタが形成され、上記ベース基板が、該第2のキャパシタと上記第1の主表面上に形成されたキャパシタに対する共通な第1の電極として用いられる、ことを特徴とするキャパシタを内蔵した回路基板。

【請求項9】 請求項8に記載の回路基板において、上記第1の主表面上に形成されたキャパシタを構成する第2の電極と上記第2のキャパシタを構成する上記第2の電極が、上記第1の主表面上あるいは／かつ上記第2の主表面上に設けられた少なくとも2組の同じ実装用接続端子対の上記第2の接続端子に接続される、ことを特徴とするキャパシタを内蔵した回路基板。

【請求項10】 請求項1乃至9のいずれかに記載の回路基板の少なくとも1つの主表面に設けられた少なくとも1組以上の上記接続端子対に半導体チップあるいは／かつ配線基板が接続されたことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はキャパシタ内蔵の回路基板に係わり、特に、高周波ノイズの除去や集積回路素子(以下、ICと呼ぶことにする)の電源電圧変動の抑制に好適なキャパシタを内蔵した回路基板に関する。

【0002】

【従来の技術】 最近、半導体チップでは、集積回路素子(以下、ICと呼ぶことにする)の高密度化が進み、動作速度は年々上昇している。ICの動作速度が上昇すると、半導体チップ内部で発生するスイッチングノイズがICを誤動作させる要因として問題となる。スイッチングノイズの低減には等価直列インダクタンスの小さいキャパシタをデカップリングキャパシタとして接地端子と電源端子の間に設置することが有効である。

【0003】 キャパシタのインダクタンスを低下させる

方法として、導電性の基板を用いてキャパシタを構成する電極部の抵抗を低下させる方法が特開平8-88318号公報で、複数のキャパシタを用いて2つの電極層を流れる電流方向を逆方向とする方法が特開平10-33519号公報で、キャパシタの電極形状を長方形とし、2つの容量取り出し部を同一方向の長辺に設けて2つの電極層を流れる電流方向を逆方向とする方法が特開平10-256080号公報で述べられている。

【0004】デカップリングキャパシタはICのできるだけ近い場所に設置するのが効果的であり、半導体チップに直接形成することが望ましい。しかし、この場合、半導体チップの面積が増大してコスト高となり、また、製造工程が複雑で長くなるため、デカップリングキャパシタの不良によって半導体チップ自身の歩留りが低下する。

【0005】一方、デカップリングキャパシタを外付け部品として配線基板上に配置させると、これらの部品と半導体チップの間の接続距離が長くなり、配線インダクタンスが大きくなるため、デカップリングキャパシタの効果が不十分となってしまう。これらの問題に対応するため、半導体チップをマザーボードやドーターボードと呼ばれる配線基板に実装する場合に用いられる中間基板(インターポーザ、あるいは、半導体チップキャリア)に、デカップリングキャパシタを内蔵させることが特開平6-318672号や特開平8-148595号、特開平9-213835号公報等で提案されている。デカップリングキャパシタは、特開平6-318672号と特開平9-213835号公報ではベース基板の表面に、特開平8-148595号公報ではベース基板の内部に形成されている。

【0006】

【発明が解決しようとする課題】従来は、インターポーザのベース基板として、アルミナやガラスセラミック(ホウケイ酸系ガラス、ソーダ石灰系ガラス、アノサイト系ガラス等から構成される)、ムライト系セラミック、等のセラミック系基板が主に用いられてきた。この他のベース基板として、有機または無機ポリマ、ポリイミドエポキシ、エポキシファイバガラス、テフロン、シリコン等の材料が特開平6-318672で提案されている。

【0007】セラミック系基板はその表面は必ずしも平滑、平坦ではない。そのため、その表面にキャパシタを形成する場合、誘電体層を厚く形成する必要があり、誘電率の高い材料を用いても容量密度が高く、インダクタンス成分が少ないキャパシタを得ることは困難である。誘電体層を薄くすることにより容量密度を増大させてインダクタンス成分を低減するためには、セラミック系基板の表面の平坦化・平滑化が必要となる。しかし、このセラミック系基板の表面の平坦化・平滑化はボイド等の存在により難しく、製造工程を長いものとする。セラミック系基板の表面の平坦化・平滑化にポリイミド等の有

機系絶縁樹脂を用いるのも一つの方法だが、その耐熱性や機械的特性によって採用する材料やプロセスが制限を受け、十分な容量密度のキャパシタを内蔵する回路基板が得られるとは限らない。たとえば、高い誘電率を示すペロブスカイト構造酸化物からなる誘電体層を用いたキャパシタでは、その特性を十分引き出すためには、600℃以上の高温プロセスを酸化性の雰囲気で行うことが必要である。従って、500℃以上の高温プロセスを適用することが困難な有機系絶縁樹脂上にキャパシタを形成する場合、十分な容量密度を有するキャパシタを内蔵する回路基板を得ることは難しい。また、セラミック系ベース基板内の導電性ビアがCuやW等の酸化性雰囲気等耐環境性に乏しい材料から構成されている場合にも、酸化性雰囲気での上記高温プロセスを適用することはできないので、高い誘電率を示すペロブスカイト構造酸化物からなる誘電体層を用いても、キャパシタの誘電体材料に見合った容量密度を得ることは困難である。デカップリングキャパシタのセラミック系ベース基板内部への形成は、厚膜ペーストの印刷、乾燥、焼成等の工程からなるいわゆる同時焼成グリーンシート多層プロセスで作製される。そのため、製造工程において、基板寸法変化が発生し、この寸法変化を吸収するための整合層が必要となる。また、キャパシタをセラミック系ベース基板の内部に内蔵させる場合、ベース基板の材質(熱膨張係数や耐環境性等)や製造条件(温度や雰囲気等)によってキャパシタの誘電体等の材料が制限される。その上、誘電体層を厚くして耐圧不良を防止する必要があることから、容量密度が高く、インダクタンスが低いキャパシタを得ることは困難である。

【0008】また、前述した特開平10-256080号公報においても述べられているように、キャパシタの大幅なインダクタンス低減のためには、高周波領域においても高い誘電率を示す誘電体薄膜を用いて、(1)電極面積を小さくし、(2)対面する電極を流れる電流を逆方向にし、その電流経路をできるだけ短くする構造を実現し、(3)並列分割構造により共振周波数を動作周波数より高くする必要がある。

【0009】本発明は、以上のことに鑑みてなされたものであり、その第1の目的は、ペロブスカイト構造酸化物等の誘電率の高い誘電体層を用いた低インダクタンスキャパシタを内蔵させることのできる、インターポーザに適した、回路基板を提供し、また、この内蔵させたキャパシタをデカップリングキャパシタとして用いることにより、実装密度を低下させることなくスイッチングノイズを低減できる半導体装置を提供することにある。本発明の第2の目的は、ペロブスカイト構造酸化物等の誘電率の高い誘電体層を用いた低インダクタンスキャパシタを集積させることのできる回路基板を提供し、このキャパシタをデカップリングキャパシタとして用いることにより、スイッチングノイズを低減できる半導体装置を

提供することにある。

# 【0010】

【課題を解決するための手段】上記目的は、ベース基板の表面(第1の主表面)上に、第1の電極、誘電体層、第2の電極が順次積層してなるキャパシタが形成され、上記ベース基板内に、上記ベース基板の表面(第1の主表面)と裏面(第2の主表面)を電気的に接続するために設けられた、複数の導電性ビアを有する回路基板であって、上記ベース基板を導電性部材により構成して上記キャパシタの第1の電極の一部として用い、上記導電性ビアを絶縁性部材により上記ベース基板より電気的に分離するとともに、上記導電性ビアの少なくとも1つを上記キャパシタの第2の電極に接続し、上記回路基板の表裏面に、上記ベース基板と電気的に接続された第1の接続端子と上記ベース基板と電気的に絶縁された第2の接続端子が隣接して配設された、少なくとも1組以上の実装用接続端子対を設け、上記回路基板の表面上に設けられた少なくとも1組の実装用接続端子対の上記第2の接続端子を上記キャパシタの第2の電極に接続し、上記回路基板の裏面上に設けられた少なくとも1組の実装用接続端子対の第2の接続端子を上記キャパシタの第2の電極に接続される導電性ビアに接続し、上記ベース基板の表裏面を横切る平面の中に、上記キャパシタの上記第2の電極に接続される上記第2の接続端子を有する上記回路基板の表面上に設けられた実装用接続端子対を構成するそれぞれの接続端子の少なくとも一部と、上記キャパシタの上記第2の電極に接続された上記導電性ビアに接続される第2の接続端子を有する上記回路基板の裏面上に設けられた実装用接続端子対を構成するそれぞれの接続端子の少なくとも一部とを含む平面を存在させた、請求項1に記載のキャパシタを内蔵した回路基板によって達成される。

【0011】請求項2に記載のキャパシタを内蔵した回路基板は、少なくとも第1の主表面と第2の主表面を有するベース基板の第1の主表面上に、第1の電極、誘電体層、第2の電極が順次積層してなるキャパシタが形成され、上記ベース基板内に、上記ベース基板の第1の主表面と第2の主表面を電気的に接続するために設けられた、少なくとも1個以上の導電性ビアを有する回路基板であって、上記ベース基板は導電性部材により構成されて上記キャパシタの第1の電極の一部として用いられ、上記導電性ビアは絶縁性部材により上記ベース基板より電気的に分離されるとともに、上記導電性ビアの少なくとも1つは上記キャパシタの第2の電極に接続され、上記回路基板の上記2つの主表面上に、上記ベース基板と電気的に接続された第1の接続端子と上記ベース基板と電気的に絶縁された第2の接続端子が隣接して配設された、少なくとも1組以上の実装用接続端子対が設けられ、上記第1の主表面上に設けられた少なくとも1組の実装用接続端子対の上記第2の接続端子が上記キャパシタ

の第2の電極に接続され、上記第2の主表面上に設けられた少なくとも1組の実装用接続端子対の第2の接続端子が上記キャパシタの第2の電極に接続される導電性ビアに接続され、上記キャパシタの上記第2の電極に接続される上記第2の接続端子を有する上記第1の主表面上に設けられた実装用接続端子対を構成する上記第2の接続端子の少なくとも一部と上記キャパシタの上記第2の電極に接続される上記導電性ビアと接続される上記第2の接続端子を有する上記第2の主表面上に設けられた実装用接続端子対を構成する上記第2の接続端子の少なくとも一部を含む平面と、上記キャパシタの上記第2の電極に接続される上記第2の接続端子を有する上記第1の主表面上に設けられた実装用接続端子対を構成する上記第1の接続端子の少なくとも一部と上記キャパシタの上記第2の電極に接続される上記導電性ビアと接続される上記第2の接続端子を有する上記第2の主表面上に設けられた実装用接続端子対を構成する上記第1の接続端子の少なくとも一部を含む平面、とが、上記キャパシタの上記第2の電極に接続される上記第2の接続端子を有する上記第1の主表面上に設けられた実装用接続端子対と上記キャパシタの上記第2の電極に接続される上記導電性ビアと接続される上記第2の接続端子を有する上記第2の主表面上に設けられた実装用接続端子対の間で交差する、ことを特徴とするものである。

【0012】請求項3に記載のキャパシタを内蔵した回路基板は、少なくとも第1の主表面と第2の主表面を有するベース基板の第1の主表面上に、第1の電極、誘電体層、第2の電極が順次積層してなるキャパシタが形成され、上記ベース基板内に、上記ベース基板の第1の主表面と第2の主表面を電気的に接続するために設けられた、少なくとも1個以上の導電性ビアを有する回路基板であって、上記ベース基板は導電性部材により構成されて上記キャパシタの第1の電極の一部として用いられ、上記キャパシタの上記第2の電極は所定の領域に限定された第2の電極パターンとして設けられ、上記導電性ビアは絶縁性部材により上記ベース基板より電気的に分離されるとともに、上記導電性ビアの少なくとも1つは上記キャパシタの第2の電極に接続され、上記回路基板の上記2つの主表面上に、上記ベース基板と電気的に接続された第1の接続端子と上記ベース基板と電気的に絶縁された第2の接続端子が隣接して配設された、少なくとも1組以上の実装用接続端子対が設けられ、上記第1の主表面上に設けられた少なくとも1組の実装用接続端子対の上記第2の接続端子が上記キャパシタの第2の電極に接続され、上記第2の主表面上に設けられた少なくとも1組の実装用接続端子対の第2の接続端子が上記キャパシタの第2の電極に接続される導電性ビアに接続され、上記キャパシタの上記第2の電極に接続される上記第2の接続端子を有する上記第1の主表面上に設けられた実装用接続端子対を構成する上記第1の接続端子の少なくとも一

部と上記キャパシタの上記第2の電極に接続される上記導電性ビアと接続される上記第2の接続端子を有する上記第2の主表面上に設けられた実装用接続端子対を構成する上記第1の接続端子の少なくとも一部を含む、上記ベース基板の第1の主表面にほぼ垂直な平面が上記キャパシタの上記第2の電極パターンの少なくとも一部と交差する、ことを特徴とするものである。

【0013】請求項1乃至3に記載のキャパシタを内蔵した回路基板によれば、回路基板の一方の表面上(例えば、第1の主表面、表面)に設けられた実装用接続端子対に半導体チップを、他方の主表面(例えば、第2の主表面、裏面)に設けられた実装用接続端子対に配線基板を接続することによって、インターポーザとして適用できる、キャパシタを内蔵した回路基板を提供できる。ここで、上記接続端子をバンプにすると、表面実装が可能になり、実装密度を高くできる。また、かかる構成では、(1)キャパシタを構成する2つの電極に接続する端子を隣接させることにより電流経路のループ断面積を小さくし、(2)キャパシタを構成する2つの電極を反対方向に流れる電流成分が多くなるようにし、(3)導電性のベース基板を下部電極の一部に用いることにより、下部電極の抵抗を低下させている。このため、回路基板に内蔵させるキャパシタのインダクタンス成分を低く抑制することができる。さらに、ベース基板として、例えば1000℃以上の融点を有する高融点材料を用いることにより、500℃以上の高温プロセスの適用が可能になる。そのため、誘電率が高いペロブスカイト構造酸化物を誘電体層とすることが可能になり、回路基板に内蔵させるキャパシタの容量を増大させることができる。

【0014】また、請求項3に記載のキャパシタを内蔵させた基板の場合、キャパシタを構成する第2の電極(上部電極)が所定の領域に限定された電極パターンとして設けられ、上記第2の電極内の電流経路を規定している。これにより、キャパシタを構成する第1の電極と第2の電極間のカップリングを強くし、第1の電極と第2の電極間の相互インダクタンスによるキャパシタのインダクタンス低減を効果的にしている。

【0015】請求項4に記載のキャパシタを内蔵した回路基板は、ベース基板の第1の主表面上に、第1の電極、誘電体層、第2の電極が順次積層してなるキャパシタが形成された回路基板であって、上記ベース基板は導電性部材により構成されて上記キャパシタの第1の電極の一部として用いられ、上記回路基板の上記第1の主表面上に、上記ベース基板と電気的に接続された第1の接続端子と上記ベース基板と電気的に絶縁された第2の接続端子が隣接して配設された、少なくとも2組以上の実装用接続端子対が設けられ、上記第1の主表面上に設けられた少なくとも2組の実装用接続端子対の上記第2の接続端子が上記キャパシタの第2の電極に接続され、上記キャパシタの第2の電極に接続される上記第2の接続端子

を有する上記接続端子対のそれぞれの接続端子の少なくとも一部を含む、上記ベース基板の第1の主表面を横切る平面が存在する、ことを特徴とする、ものである。

【0016】請求項5に記載のキャパシタを内蔵した回路基板は、ベース基板の第1の主表面上に、第1の電極、誘電体層、第2の電極が順次積層してなるキャパシタが形成された回路基板であって、上記ベース基板は導電性部材により構成されて上記キャパシタの第1の電極の一部として用いられ、上記回路基板の上記第1の主表面上に、上記ベース基板と電気的に接続された第1の接続端子と上記ベース基板と電気的に絶縁された第2の接続端子が隣接して配設された、少なくとも2組以上の実装用接続端子対が設けられ、上記第1の主表面上に設けられた少なくとも2組の実装用接続端子対の上記第2の接続端子が上記キャパシタの第2の電極に接続され、上記キャパシタに接続された少なくとも2組の上記実装用接続端子対の上記第1の接続端子の少なくとも一部を含む上記ベース基板の主表面にほぼ垂直な平面と上記第2の接続端子の少なくとも一部を含む上記ベース基板の主表面にほぼ垂直な平面が、上記キャパシタに接続された少なくとも2組の上記実装用接続端子対の間で交差する、ことを特徴とするものである。

【0017】請求項6に記載のキャパシタを内蔵した回路基板は、ベース基板の第1の主表面上に、第1の電極、誘電体層、第2の電極が順次積層してなるキャパシタが形成された回路基板であって、上記ベース基板は導電性部材により構成されて上記キャパシタの第1の電極の一部として用いられ、上記キャパシタの上記第2の電極は所定の領域に限定された第2の電極パターンとして設けられ、上記回路基板の上記第1の主表面上に、上記ベース基板と電気的に接続された第1の接続端子と上記ベース基板と電気的に絶縁された第2の接続端子が隣接して配設された、少なくとも2組以上の実装用接続端子対が設けられ、上記第1の主表面上に設けられた少なくとも2組の実装用接続端子対の上記第2の接続端子が上記キャパシタの第2の電極に接続され、上記キャパシタの上記第2の電極に接続される上記第2の接続端子を有する少なくとも2組の上記実装用接続端子対を構成する少なくとも2つの上記第1の接続端子の少なくとも一部を含む、上記ベース基板の第1の主表面にほぼ垂直な平面が上記キャパシタの上記第2の電極パターンの少なくとも一部と交差する、ことを特徴とするものである。

【0018】請求項4乃至請求項6に記載のキャパシタを内蔵した回路基板によれば、キャパシタを構成する2つの電極に接続する端子を隣接させることにより電流経路のループ断面積を小さくし、また、2つの電極を流れる電流に反対成分を増加させることができるので、インダクタンス成分が小さいキャパシタを集積した回路基板を提供できる。また、ベース基板として、例えば1000℃以上の融点を有する高融点材料を用いることにより、50

0℃以上の高温プロセスの適用が可能になるため、誘電率が高いペロブスカイト構造酸化物を誘電体層として用いることができる。これにより、容量密度が高いキャパシタを得ることができ、さらに、ベース基板内にビアを設けていないことから電極面積を増大させることができ、大容量のキャパシタを集積した回路基板を提供できる。また、請求項6に記載のキャパシタを内蔵させた基板の場合、キャパシタを構成する第2の電極(上部電極)が所定の電極パターンとして設けられ、上記第2の電極(上部電極)内の電流経路を規定している。これにより、キャパシタを構成する第1の電極と第2の電極の間のカップリングを強くし、第1の電極と第2の電極の間の相互インダクタンスによるキャパシタのインダクタンス低減を効果的にしている。

【0019】請求項7に記載のキャパシタを内蔵した回路基板は、請求項3あるいは請求項6に記載のキャパシタを内蔵した回路基板において、上記キャパシタを構成する上記誘電体層が上記第2の電極パターンに対応して所定の形状に分離する、ことを特徴とするものである。かかる構成により、集積されたキャパシタ間のクロストーク等の相互干渉を低減できる。

【0020】請求項8に記載のキャパシタを内蔵した回路基板は、請求項1乃至請求項7に記載のキャパシタを内蔵した回路基板において、上記ベース基板の第2の主表面に第1の電極、誘電体層、第2の電極が順次積層されてなる第2のキャパシタが形成され、上記ベース基板が、該第2のキャパシタと上記第1の主表面上に形成されたキャパシタに対する共通な第1の電極として用いられる、ことを特徴とするものである。すなわち、導電性のベース基板の両面(第1及び第2の主表面)にキャパシタを形成し、ベース基板を両面に形成したキャパシタに対して共通な第1の電極として用いることを特徴としており、回路基板が内蔵するキャパシタの容量を増大させることができる。

【0021】請求項9に記載のキャパシタを内蔵した回路基板は、請求項8に記載のキャパシタを内蔵した回路基板において、上記第1の主表面上に形成されたキャパシタを構成する第2の電極と上記第2のキャパシタを構成する上記第2の電極が、上記第1の主表面上あるいは／かつ上記第2の主表面上に設けられた少なくとも2組の同じ実装用接続端子対の上記第2の接続端子に接続される、ことを特徴とするものである。かかる構成によれば、ベース基板の表裏面に形成されたキャパシタを並列接続されることになり、回路基板が内蔵するキャパシタの容量が増大する。

【0022】請求項10に記載の半導体装置は、請求項1乃至9に記載のキャパシタを内蔵した回路基板の少なくとも1つの主表面に設けられた少なくとも1組以上の上記接続端子対に半導体チップあるいは／かつ配線基板が接続される、ことを特徴とするものである。かかる構成に

よれば、内蔵させたキャパシタをデカップリングキャパシタとして用いることにより、スイッチングノイズを低減できる半導体装置を提供できる。

#### 【0023】

【発明の実施の形態】(第1の実施の形態)図1～図6により、本発明の第1の実施の形態について説明する。

【0024】図1と図3、図4は本発明の実施の形態を要部断面図で示したものである。図1において、1000は本発明を適用したキャパシタを内蔵する回路基板を、100は回路基板1000の第1の主表面側の面を、200は回路基板1000の第2の主表面側の面を、1は導電性部材からなるベース基板を、2はベース基板1の第1の主表面100側と第2の主表面200側を電氣的に接続する導電性ビアを、3は導電性ビア2とベース基板1を電氣的に絶縁するビア絶縁層を、4は回路基板1000に内蔵されたキャパシタを、40は該キャパシタ4を構成する誘電体層を、41と42はキャパシタ4を構成する電極を、5はベース基板1の主表面100側に形成された保護層を、6は導電性薄膜パターンを、71と81は回路基板1000の第1の主表面100側に設けられた接続端子を、72と82は回路基板1000の第2の主表面200側に設けられた接続端子を、9は接続端子71、81、72、82の上に形成された端子メタライズ層を、11はキャパシタ4と第1の主表面100側を被覆するように形成された第1の絶縁層を、12は導電性薄膜パターン6や接続端子71、81を被覆するように設けられた第2の絶縁層を、21は第2の主表面200側に形成された第3の絶縁層を、22は第3の絶縁層の上層に形成された第4の絶縁層、を示す。ここでは、キャパシタ4を構成する電極のうち、ベース基板1側の電極41を第1の電極、該第1の電極の対向電極42を第2の電極と呼ぶことにする。キャパシタ4を構成する第1の電極41は、第1電極層410と保護層5、ベース基板1から構成されている。保護層5は導電性部材から構成され、キャパシタ4の第1の電極の一部として用いられるとともに、キャパシタ4の形成工程からベース基板1を保護する。キャパシタ4の他方の電極(第2の電極)42は、導電性薄膜パターン6により導電性ビア2に接続されている。導電性ビア2はベース基板1と同じ導電性部材から形成されている。ビア絶縁層3は、ベース基板1と導電性ビア2を電氣的に絶縁するためにベース基板1と導電性ビア3の間に設けられるものである。第1の絶縁層11は、キャパシタ4の第2の電極42及び導電性薄膜パターン6、接続端子72とベース基板1が短絡するのを防止するために形成される。また、この第1の絶縁層11により、接続端子71とキャパシタ4の第2の電極42の間の電氣的な絶縁を確保している。第2の絶縁層12、はベース基板1の主表面100側に形成されたキャパシタ4の保護等、用途に応じて第1の絶縁層11より上層に形成された絶縁層である。第3の絶縁層21はベース基板1の第2の主表面200側を保護し、ベース基板1と接続端子82の短絡を防止するために設けられるものである。第4の絶縁層22は回路基板1000



の保護や接続信頼性確保のため、必要に応じて形成するものである。なお、図1では、キャパシタ4搭載部の詳細をわかりやすくするため、回路基板の主表面の部分拡大した。特に、膜厚方向を拡大した。

【0025】図2は図1に示した回路基板1000の第1の主表面100側の要部平面図であり、接続端子の配置状態やキャパシタ4のパターン形状の一部を示すものである。図において、Xで示した範囲は端子メタライズ層9と第2の絶縁層12を除去した場合の回路基板1000の第1の主表面100側の要部平面図であり、接続端子の配置状態を示している。回路基板1000の第1の主表面100側では、y1~y3で示した一点鎖線とx1で示した一点鎖線の交点に接続端子71が、y1~y3で示した一点鎖線とx2で示した一点鎖線の交点に接続端子81が、y1~y3で示した一点鎖線とx3で示した一点鎖線の交点に導電性薄膜パターン6が、設けられている。回路基板1000の第2の主表面200側では、y1~y3で示した一点鎖線とx4で示した一点鎖線の交点に接続端子72(図示せず)が、y1~y3で示した一点鎖線とx3で示した一点鎖線の交点に接続端子82(図示せず)が、設けられている。導電性薄膜パターン6によりキャパシタ4の第2の電極42と導電性ビア2が接続されている。Yで示した範囲は端子メタライズ層9と第2の絶縁層12、第1の絶縁層11を除去した場合の回路基板1000の第1の主表面100側の要部平面図であり、キャパシタ4の平面パターン形状を示している。(2a)は、キャパシタ4の第2の電極42と誘電体層40はいずれもが分離されていない場合を示している。それに対し、(2b)はキャパシタ4の第2の電極42が各接続端子対に対応して分離されている場合を、(2c)はキャパシタ4の第2の電極42と誘電体層40のいずれもが各接続端子対に対応して分離されている場合、を示す。ここで、接続端子対とは、たとえば、y1で示される一点鎖線とx1、x2で示される一点鎖線の交点に存在する第1の主表面上の接続端子と、y1で示される一点鎖線とx3、x4で示される一点鎖線の交点に存在する第2の主表面上の接続端子と、を示している。

【0026】かかる構成によれば、回路基板の第1の主表面100(あるいは、第2の主表面200)側の接続端子に半導体チップを、回路基板の第2の主表面(あるいは、第1の主表面)側に設けられた接続端子に配線基板(マザーボードやモジュール基板)を接続することができるので、この実施の形態で示した回路基板1000により、インターポーザ(中間基板)として好適な、キャパシタを内蔵した回路基板を提供できる。

【0027】この実施の形態で示した回路基板1000のキャパシタ4では、キャパシタ4の第1の電極に接続される接続端子と第2の電極に接続される接続端子が、同一主表面において隣接して配設されている。すなわち、第1の主表面100側では、接続端子71と81が、第2の主表面200側では、接続端子72と82が隣接して設けられている。これにより、キャパシタ4を流れる電流経路のルー

ブ断面積を小さくできる。また、上記ベース基板1の表裏面を横切る平面の中に、上記キャパシタ4の上記第2の電極42に接続される上記第2の接続端子を有する上記回路基板の表面(第1の主表面100)側に設けられた実装用接続端子対を構成する接続端子(図1では、接続端子71、81)の少なくとも一部と、上記キャパシタ4の上記第2の電極に接続された上記導電性ビア2に接続される第2の接続端子を有する上記回路基板の裏面(第2の主表面200)側に設けられた実装用接続端子対を構成する接続端子(図1では、接続端子72、82)の少なくとも一部を含む平面が存在するように、各接続端子(図1では、第1の主表面100側の接続端子71、81および第2の主表面200側の接続端子72、82)が配置されている。これにより、回路基板1000のキャパシタ4では、キャパシタ4の第1の電極41を流れる電流と第2の電極42を流れる電流の中に、お互いに方向が反対となる成分が多くなる。この電流方向が反対になることによって発生する第1の電極41と第2の電極42の間の相互インダクタンスと、上述したキャパシタ4を流れる電流経路のループ断面積の低減は、キャパシタ4のインダクタンス成分を低減させる。キャパシタ4の第1の電極41と第2の電極42の間の相互インダクタンスによるインダクタンス成分に対する低減効果を大きくするためには、第1の主表面100側の接続端子72と導電性パターン6(あるいは、第2の主表面側の接続端子82)の間の距離、第1の主表面側の接続端子71と第2の主表面側の接続端子81の間の距離を大きくし、キャパシタの電極を流れる電流に方向性をもたせることが重要である。電極を流れる電流に方向性をもたせるためには、キャパシタ4の第2の電極42を接続端子対ごとに分離し、電流経路を規定することが望ましく、その例が図2の(2b)である。また、図2の(2c)に示すように、誘電体層40を各接続端子対に対応して分離する場合、隣接するキャパシタ間のクロストークを抑制し、また、キャパシタ構成層の膜応力の基板全体への広がりを防止できる効果も得られる。

【0028】また、第1の実施の形態で示した回路基板1000において、上記ベース基板1を接地電極に、キャパシタ4の第2の電極と接続された導電性ビア2を電源電極に接続することにより、キャパシタ4をデカップリングキャパシタとして働かせることができる。すなわち、本実施の形態によれば、インダクタンス成分を低減したキャパシタをデカップリングキャパシタとして内蔵させた、インターポーザとして好適な回路基板を提供できる。

【0029】次に、第1の実施の形態を示した図1の回路基板1000の製造方法について説明する。図5と図6は、回路基板1000の製造工程の一例を要部断面図で示した工程フロー図である。

【0030】まず、図5を参照にしながら、回路基板1000の製造工程について説明する。

【0031】(1a) ベース基板の準備:たとえば、42アロ

イ(鉄FeとニッケルNiを主成分とする合金)等の導電性部材を適正な大きさに切り出し、必要に応じて表面研磨等を行って平滑にし、ベース基板1とする。次いで、ベース基板1の脱脂処理、中性洗剤やアルカリ洗剤による洗浄を行い、表面を清浄にする。

【0032】(1b) 保護層の形成：ベース基板1上に、スパッタ法や真空蒸着法等の物理的手法、化学蒸着法、ゾルゲル法、MOD(Metal Organic Decomposition)法、めっき法等の周知の手法を用いて保護層5を成膜する。保護層5としては、キャパシタ4形成プロセスにおいても安定で、ベース基板1を保護できる、導電性酸化物や白金金属材料が望ましい。たとえば、導電性酸化物としては、酸化スズ混合物(Indium Tin Oxide, 通常ITOと略す)を用いる。

【0033】(1c) キャパシタの形成：ベース基板1の第1の主表面100上に、スパッタ法や真空蒸着法等の物理的手法、化学蒸着法、ゾルゲル法、MOD法、めっき法等の周知の手法を用いて、第1電極層410を成膜する。第1の電極層410の材料としては、この上に堆積する誘電体層40との整合性を考えて選択する。例えば、チタン酸ストロンチウム(SrTiO<sub>3</sub>)やBST(Barium Strontium Titanate)等のペロブスカイト構造酸化物を誘電体層40に用いる場合、白金(Pt)やルテニウム(Ru)等を用いればよい。第1の電極層410上に、スパッタ法や真空蒸着法等の物理的手法、化学蒸着法、ゾルゲル法、MOD法等の周知の成膜手法を用いて誘電体層40を形成する。大容量のキャパシタを必要とする場合には、誘電体層40の材料としてSrTiO<sub>3</sub>やBST等のペロブスカイト構造酸化物を選択する。次いで、600~900℃の熱処理を行い、誘電体層40の結晶性を改善する。これにより、誘電体層40の誘電率を高くできる。誘電体層40上に、導電性薄膜をスパッタ法等の物理的手法、化学蒸着法、ゾルゲル法、MOD法等の周知の手法を用いて成膜し、フォトリソ等の周知の手法によりパターン形成を行い、第2の電極42を設ける。第2の電極42に用いる材料は誘電体層40に合わせて選択すればよい。次いで、周知のフォトリソ法を用いて誘電体層40を加工し、誘電体層40の不要な部分を除去する。なお、第1の電極層410は必ずしも必要ではなく、省略しても差し支えない。

【0034】(1d) 導電性ビアの形成：フォトリソ法(ウェットエッチングやドライエッチングを含む)やレーザ加工法等、周知の手法を用いて、第1の電極層410、保護層5、ベース基板1を順次加工し、ベース基板1の第1の主表面100側に導電性ビア2を形成する。この場合、導電性ビア2の周囲のスルーホールを貫通スルーホールとはせずにベース基板1内部の途中で止める。これにより、ベース基板1と同じ部材からなる導電性ビア2が形成される。

【0035】(1e) ビア絶縁層の充填および第1の絶縁層の形成：真空ホットプレス法等の手法を用いてプリプレ

グ等の有機絶縁シートをベース基板1の第1の主表面100側に貼り付け、導電性ビア2の周囲にビア絶縁層3を充填し、第1の主表面100側に第1の絶縁層11を形成する。なお、有機絶縁材料としては、スルーホールへの埋め込み性や加工性、耐熱性を考慮して選択すればよい。また、液状の絶縁材料をディップ法や印刷法、スプレー塗布、転写法等、別の手法を用いて形成しても差し支えない。また、ここでは、ビア絶縁層2と第1の絶縁層11を同一工程で、同じ材料から形成しているが、これに限定されることはなく、異なる材料を用いて、別々の工程により形成しても差し支えない。

【0036】(1f) ベース基板第2の主表面側の除去：エッチングや研磨等周知の手法を用いてベース基板1の第2の主表面200側の部分を、ビア絶縁層3が見えるまで除去する。次いで、洗浄を行い、ベース基板1の第2の主表面200側を清浄にする。これにより、導電性ビア2がベース基板1から電気的に絶縁される。

【0037】以下、図6を参照しながら説明する。

【0038】(1g) 第3の絶縁層の形成：真空ホットプレス法等の手法を用いてプリプレグ等の有機絶縁シートをベース基板1の第2の主表面200側に貼り付け、第2の主表面200側に第3の絶縁層21を形成する。なお、有機絶縁材料としては、スルーホールへの埋め込み性や加工性、耐熱性を考慮して選択すればよい。

【0039】また、液状の絶縁材料をディップ法や印刷法、スプレー塗布、転写法、等、別の手法を用いて形成しても差し支えない。

【0040】(1h) 第1の絶縁層及び第3の絶縁層へのスルーホール形成：フォトリソ法(ウェットエッチング、ドライエッチング等)やレーザ加工法、等の周知の方法を用いて、第1の絶縁層11と第3の絶縁層21の中にスルーホール13を形成する。この場合、研磨法やドライエッチング法、等の周知の方法を用いて、第1の絶縁層11と第3の絶縁層21を薄膜化してから、第1の絶縁層11と第3の絶縁層21の中にスルーホール13を形成しても差し支えない。

【0041】(1i) 導電性薄膜パターンの形成：スパッタ法や真空蒸着等の物理的手法、化学蒸着法、ゾルゲル法、めっき法等の周知の手法を用い、第1の主表面100側の第1の絶縁層11と第2の主表面200側の第3の絶縁層21を被覆するように導電性薄膜層を成膜する。次いで、フォトリソ法、等の周知の手法を用いて導電性薄膜パターン6と接続端子71、81を第1の主表面100側に、接続端子72、82を第2の主表面200側に、に形成する。この工程で形成される導電性薄膜パターン6により、第1の主表面100側に形成されたキャパシタ4の第2の電極42と導電性ビア2が電気的に接続される。この後の工程では、400℃以上の高温プロセスを通す必要がないので、導電性薄膜パターン6や接続端子71、81、72、82の材料として、耐酸化性に問題がある銅(Cu)や耐熱性に問題があるアル

ミニウム (Al) 等の低抵抗材料を用いることができる。ただし、Cuは単独では用いず、CrやTiで挟み込んだCr/Cu/Cr積層膜やTi/Cu/Ti積層膜として使用する。

【0042】(1j) 第2の絶縁層及び第4の絶縁層の形成：スピン塗布法など周知の手法により有機系絶縁樹脂を塗布し、乾燥、硬化を行って、第1の主表面100側に第2の絶縁層12を、第2の主表面200側に第4の絶縁層22を、成膜する。次いで、フォトリソ等の周知の手法を用いてスルーホール14を形成する。この場合、有機系絶縁樹脂として感光性材料を選択し、塗布、露光、現像、硬化の各工程により形成しても良い。この場合には、有機系絶縁樹脂を加工(エッチング)する工程を省略できる。また、有機系絶縁樹脂としてプリプレグ等の絶縁シートを選択し、この絶縁シートを真空ホットプレス法等により基板の両面に貼り付け、レーザ加工等によりスルーホール14を形成しても差し支えない。

【0043】(1k) 端子メタライズ層の形成：選択した接続手法に適合した材料をスパッタ法や真空蒸着法、めっき法等の周知の成膜手法により成膜し、フォトリソ法等の周知の手法によりパターン形成を行い、回路基板の第1の主表面100側の接続端子71、81と第2の主表面200側の接続端子72、82に対する端子メタライズ層9を形成する。接続端子メタライズ層9に用いる材料は接続手法によって選択することになるが、はんだ接続を前提にする場合には、Au/Ni/Cr積層膜やNi-Cu/Cr積層膜等を用いればよい。ここで、A/BはBの上にAが積層されることを示す。

【0044】これで、図1に示した回路基板1000が完成する。ここで述べた回路基板の製造方法で特徴的な点は、ベース基板1上にキャパシタ4を形成してから、ベース基板1内に該ベース基板と同じ導電性部材からなる導電性ビア2を形成しているところにある。かかる製造方法によれば、ベース基板1として耐熱性や耐酸化性に優れた材料を用いることにより、キャパシタ4の形成温度の上昇と酸化性雰囲気での熱処理等が可能になり、誘電体材料の選択幅が広がる。

【0045】半導体チップ内で発生するスイッチングノイズを抑制するためのデカップリングキャパシタに対し、大容量と実装密度の向上が要求されており、誘電率の大きな材料でキャパシタの誘電体層を形成することが重要な課題となっている。この要求に応える材料として、SrTiO<sub>3</sub>や(Ba, Sr)TiO<sub>3</sub>、Pb(Zr, Ti)O<sub>3</sub>、Pb(Mg<sub>1/3</sub>Nb<sub>2/3</sub>)O<sub>3</sub>等のペロブスカイト構造酸化物が期待されている。しかし、これらの材料の誘電率を本来の値に近づけて高くするためには、酸化性雰囲気での600℃～900℃の熱処理が必要である。従って、酸化性雰囲気での600℃～900℃の熱処理が可能になるように、上記ベース基板1の材料としては1000℃以上の融点を有する高融点材料であることが望ましい。このような材料として、タングステン、ニッケル、モリブデン、タンタル、等を上げる

ことができる。また、ニッケルやクロム、コバルト、アルミニウム、等を含む鉄合金も有望である。その理由は、加工が容易で、熱膨張係数等をその組成によって調整できるからである。なお、本実施例で用いている42アロイは、鉄とニッケルを主成分とした合金である。

【0046】この実施の形態では、保護層5としてITO膜を用いているが、これに限定されるものではない。すなわち、保護層5は、ベース基板1が耐酸化性に乏しい場合に、キャパシタ4の形成工程からベース基板1を保護するために設けるものであり、耐酸化性や耐熱性に優れた材料であれば差し支えなく、貴金属材料や導電性酸化物が好ましい。このような貴金属としてPtやRu等の白金金属材料があり、導電性酸化物として酸化インジウム、酸化スズ、酸化インジウム・酸化スズ混合物(ITO)、酸化亜鉛、酸化ルテニウム、酸化ロジウム、酸化レニウム、酸化イリジウム、酸化オスミウム等がある。本発明の場合、ベース基板1もキャパシタ4の第1の電極41としての働きをするため、保護層5は導電性材料であることが望ましいが、膜厚を薄くすることによって、酸化シリコン、窒化シリコン、酸化アルミニウム、酸化チタン等の無機系絶縁材料も使用できる。この場合には、ベース基板1と第1の電極層410とを薄膜保護層5に設けたスルーホールを介して電気的に接続しておくことも有効である。

【0047】本実施の形態では、第1の電極層410としてPtやRuを用いているが、これに限定されるものではなく、その上に成膜する誘電体の膜質を劣化させない材料や、結晶性の改善など、膜質改善に役立つような材料の中から選択すればよい。そのような材料として、PtやRu等の白金金属材料、酸化インジウム、酸化スズ、酸化インジウム・酸化スズ混合物(ITO)、酸化亜鉛、酸化ルテニウム、酸化ロジウム、酸化レニウム、酸化イリジウム、酸化オスミウム等の導電性酸化物が好ましい。ただし、これらの材料は保護層5の材料と重複しており、同じ材料を用いるのであれば、保護層5と第1の電極層410のいずれか一方を設ければ良い。

【0048】また、保護層5や第1の電極層410の下地からの剥離を防止するため、接着層として、ベース基板1と保護層5の間、保護層5と第1の電極層410の間、あるいは保護層が無い場合にはベース基板1と第1の電極層410の間に中間層を設けるのも良い。このような材料としては、密着性に優れた、チタン、タンタル、ハフニウム、タングステン、クロム、等の高融点金属およびこれらの窒化物、ニッケル、チタン・タングステン合金等が好ましい。

【0049】本実施の形態では、ベース基板1を融点が1000℃以上の高融点材料で構成しているため、600℃から900℃の熱処理が可能になり、ペロブスカイト構造酸化物を誘電体層40として用いているが、これらに限定されるものではなく、1000℃以下のプロセスで形成できる

誘電体材料を用いても差し支えない。たとえば、タンタル酸化物やシリコン酸化物、アルミニウム酸化物、チタン酸化物、高温での熱処理を施さないペロブスカイト構造酸化物、などを用いても差し支えない。

【0050】以上述べてきたことから明らかなように、本実施の形態によれば、1000℃までの温度プロセスが可能になるため、600℃～900℃の熱処理を要するペロブスカイト構造酸化物を誘電体層とした、高容量密度のキャパシタを内蔵した回路基板を提供できる。この効果は、CuやWの導体配線を有するセラミック系基板や有機系絶縁樹脂基板をベース基板とした場合には得られない。CuやWの導体配線を有するセラミック系基板では耐プロセス環境性に問題があり、有機系絶縁樹脂基板では耐熱性に問題があるからである。

【0051】また、この製造方法によれば、キャパシタ4の形成後には400℃以上の温度プロセスにする必要としないため、ビア絶縁層3や導電性ビア2の材料に対する高い耐熱性は要求されない。たとえばビア絶縁層3として有機系絶縁樹脂、導電性ビア2としてCu等の適用が可能になる。ビア絶縁層3として有機系絶縁樹脂を用いると、第2の主表面200側に設けた接続端子82に配線基板(図示せず)や半導体チップ(図示せず)を接続した場合の接続端子部の応力緩和に効果がある。ただし、ビア絶縁層3として有機系絶縁樹脂に限定しているのではなく、他のSiO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub>、TiO<sub>2</sub>等からなる無機系絶縁材料などを用いても差し支えない。

【0052】以上述べてきたように、本実施の形態によれば、大容量でインダクタンス成分の少ないキャパシタを内蔵させた、インターポーザとして好適な回路基板を提供できる効果が得られる。

【0053】第1の実施の形態の他の実施例を示したものが、図3と図4である。

【0054】図3に示した回路基板が図1に示した回路基板1000と異なっている点は、導電性ビア2、第1の主表面100側の接続端子71と接続端子81、及び、第2の主表面200側の接続端子72と接続端子82の位置関係である。回路基板1000の場合、図の1Aから1Bに向かって、接続端子71、接続端子81、接続端子82(導電性ビア2)、接続端子72の順に配列している。それに対し、図3の(3a)に示した回路基板3000では、図の1Aから1Bに向かって、接続端子81、接続端子71、接続端子82(導電性ビア2)、接続端子72の順に配列し、同図(3b)に示した回路基板3001では、接続端子81、接続端子71、接続端子72、接続端子82(導電性ビア2)の順に配列している。しかし、ここで示した接続端子や導電性ビアの位置関係の本発明の効果に与える影響は小さく、図3に示した回路基板3000、3001の場合にも、図1に示した回路基板1000の場合と同じ効果を得ることができる。

【0055】図4に示した回路基板4000が図1に示した回路基板1000と異なっている点は、導電性ビア2の材質が

ベース基板1とは異なっている点である。たとえば、導電性ビア2がCu等の材料によりめっき法等の手法を用いて形成されている場合がこれにあたる。この場合、導電性ビア2の製造工程が図5と図6に示した場合と異なってくるが、上述した本発明の効果に対する影響はほとんどない。従って、この場合にも、図1に示した回路基板1000の場合と同じ効果を得ることができる。

【0056】〈第2の実施の形態〉本発明の第2の実施の形態を図7～図9に示す。図7は、本実施の形態の回路基板を要部平面図で示したものであり、図8と図9は要部断面図で示したものである。図において、7000は本発明を適用した回路基板を示し、他の符号は図1～図6の場合と同じである。図8と図9では、キャパシタ4搭載部の詳細をわかりやすくするため、回路基板の主表面の部分を拡大した。特に、膜厚方向を拡大した。

【0057】図7は本実施の形態における回路基板7000のキャパシタ4を形成した第1の主表面100側の要部平面図であり、接続端子の配置状態やキャパシタ4のパターン形状を示すものである。図において、Xで示した範囲は端子メタライズ層9と第2の絶縁層12を除去した場合の回路基板7000のキャパシタ4を形成した第1の主表面100側の要部平面図であり、接続端子の配置状態を示している。回路基板7000の第1の主表面100側では、y11およびy21で示した一点鎖線とx11で示した一点鎖線の交点に接続端子81が、y12およびy22で示した一点鎖線とx11で示した一点鎖線の交点に接続端子71が、y12およびy22で示した一点鎖線とx12で示した一点鎖線の交点に導電性薄膜パターン6が、設けられている。回路基板7000の第2の主表面200側では、y11およびy21で示した一点鎖線とx12で示した一点鎖線の交点に接続端子72(図示せず)が、y12およびy22で示した一点鎖線とx12で示した一点鎖線の交点に接続端子82(図示せず)が、設けられている。導電性薄膜パターン6によりキャパシタ4の第2の電極42と導電性ビア2が接続されている。Yで示した範囲は端子メタライズ層9と第2の絶縁層12、第1の絶縁層11を除去した場合の回路基板7000の第1の主表面100側の要部平面図であり、キャパシタ4の平面パターン形状を示している。本実施の形態の場合、図2の(2b)に示した場合と同様にキャパシタ4の第2の電極42は各キャパシタごとに分離されている。

【0058】図8は、図7において、一点鎖線y11、y22で示した領域の一部分を示す要部断面図である。すなわち、(8a)は一点鎖線y11で示した6Aから6Bにかけての領域の一部を示す要部断面図であり、(8b)は一点鎖線y22で示した6Cから6Dにかけての領域の一部を示す要部断面図である。図9は、図7において、一点鎖線x11、x12で示した領域の一部分を示す要部断面図である。すなわち、(9a)は一点鎖線x11で示した6Aから6Cにかけての領域の一部を示す要部断面図であり、(9b)は一点鎖線x12で示した6Bから6Dにかけての領域の一部を示す要部断面

図である。図8と図9では、端子メタライズ層9と第1の絶縁層11、第2の絶縁層12のいずれも省略せずに、図示した。

【0059】本実施の形態の場合、回路基板7000の第1の主表面100側の接続端子71、81が一点鎖線x11に沿って設けられ、第2の主表面200側の接続端子72、82が一点鎖線x12に沿って設けられており、それぞれのキャパシタに対応する接続端子71、72を含む平面と接続端子72、82を含む平面が一点鎖線x11とx12の間で交差している。これにより、キャパシタ4の第1の電極41と第2の電極42を流れる電流に反対方向の成分が多く存在するようにし、キャパシタ4のインダクタンス成分を小さくするようにしている。これ以外の構成や製造方法は第1の実施の形態と同じである。

【0060】従って、本実施の形態の場合にも、第1の実施の形態と同じ効果を得ることができる。すなわち、本実施の形態によれば、大容量でインダクタンス成分の少ないキャパシタを内蔵させた、インターポーザとして好適な回路基板を提供できる、効果が得られる。

【0061】〈第3の実施の形態〉本発明の第3の実施の形態を図10に示す。図10は、本実施の形態の回路基板を要部断面図で示したものである。図において、10000は本発明を適用した回路基板を示し、他の符号は図1～図9の場合と同じである。図10の場合にも、キャパシタ4搭載部の詳細をわかりやすくするため、回路基板の主表面の部分を拡大した。特に、膜厚方向を拡大した。

【0062】本実施の形態における回路基板10000は、キャパシタ4が第1の主表面100側のみではなく、第2の主表面200側にも形成され、第1の主表面100側のキャパシタ4と第2の主表面200側のキャパシタ4が並列接続されている。これ以外の構成は第1の実施の形態と同じである。従って、本実施の形態の場合にも第1の実施の形態の場合と同じ効果が得られ、インダクタンス成分の少ないキャパシタを内蔵させた、インターポーザとして好適な回路基板を提供できる。さらに本実施の形態の場合、第1の主表面100側のキャパシタ4と第2の主表面200側のキャパシタ4が並列接続されていることから、回路基板に内蔵させることのできるキャパシタの容量を第1の実施の形態に比べ、大きくすることができる。

【0063】次に、第3の実施の形態を示した図10の回路基板10000の製造方法について説明する。図11～図13は、回路基板10000の製造工程の一例を要部断面図で示した工程フロー図である。

【0064】まず、図11を参照にしながら、回路基板10000の製造工程について説明する。

【0065】(3a) ベース基板の準備:たとえば、42アロイ(鉄FeとニッケルNiを主成分とする合金)等の導電性部材を適正な大きさに切り出し、必要に応じて表面研磨等を行って平滑にし、ベース基板1とする。次いで、ベース基板1の脱脂処理、中性洗剤やアルカリ洗剤による洗

浄を行い、表面を清浄にする。

【0066】(3b) 保護層の形成:ベース基板1上に、スパッタ法や真空蒸着法等の物理的手法、化学蒸着法、ゾルゲル法、MOD法、めっき法等の周知の手法を用いて保護層5を成膜する。保護層5としては、キャパシタ4形成プロセスにおいても安定であり、ベース基板1を保護できる、導電性酸化物や白金金属材料が望ましい。たとえば、導電性酸化物としては、酸化スズ混合物(ITO)を用いる。

【0067】(3c) キャパシタの形成:ベース基板1の第1の主表面100と第2の主表面200の両面上に、スパッタ法や真空蒸着法等の物理的手法、化学蒸着法、ゾルゲル法、MOD法、めっき法等の周知の手法を用いて、第1の電極層410を成膜する。この第1の電極層410の材料としては、この上に堆積する誘電体層40との整合性を考えて選択する。例えば、SrTiO<sub>3</sub>やBST等のペロブスカイト構造酸化物を誘電体層40に用いる場合、PtやRu等を用いればよい。第1の主表面100上及び第2の主表面200上に成膜した第1の電極層410上に、スパッタ法や真空蒸着法等の物理的手法、化学蒸着法、ゾルゲル法、MOD法等の周知の成膜手法を用いて誘電体層40を形成する。大容量のキャパシタを必要とする場合には、SrTiO<sub>3</sub>やBST等のペロブスカイト構造酸化物を誘電体層40として選択する。次いで、600～900℃の熱処理を行い、誘電体層40の結晶性を改善する。これにより、誘電体層40の誘電率を高くできる。誘電体層40上に、導電性薄膜をスパッタ法等の物理的手法、化学蒸着法、ゾルゲル法、MOD法等の周知の手法を用いて成膜し、フォトエッチング等の周知の手法を用いてパターン形成を行い、第2の電極42を設ける。第2の電極42に用いる材料は誘電体層40に合わせて選択すれば良い。次いで、周知のフォトエッチング法を用いて誘電体層40を加工し、誘電体層40の不要な部分を除去する。なお、第1の電極層410は必ずしも必要ではなく、省略しても差し支えない。

【0068】(3d) 導電性ビアの第1の主表面側形成:フォトエッチング法(ウェットエッチングやドライエッチングを含む)やレーザ加工法等、周知の手法を用いて、第1の主表面100側の第1の電極層410と保護層5、ベース基板1を順次加工することにより、ベース基板1の第1の主表面100側に導電性ビア2を形成する。この場合、導電性ビア2を囲むように形成されるスルーホールを貫通スルーホールとはせずに、ベース基板1内部の途中で止める。これにより、ベース基板1と同じ部材から構成される導電性ビア2の第1の主表面100側の部分が形成される。

【0069】以下、図12を参照にしながら説明する。

【0070】(3e) ビア絶縁層の第1の主表面側充填および第1の絶縁層の形成:真空ホットプレス法等の手法を用い、プリプレグ等の有機絶縁シートをベース基板1の第1の主表面100側に貼り付け、導電性ビア2周囲のスル

ーホールの中にビア絶縁層 3 を充填し、第 1 の主表面 100 側に第 1 の絶縁層 11 を形成する。なお、有機絶縁シートとしては、スルーホールへの埋め込み性や加工性、耐熱性を考慮して選択すればよい。また、液状の絶縁材料をディップ法や印刷法、スプレー塗布、転写法等、別の手法を用いて形成しても差し支えない。また、本実施の形態では、ビア絶縁層 2 と第 1 の絶縁層 11 を同一工程で、同じ材料から形成しているが、これに限定されることはなく、異なる材料を用いて、別々の工程により形成しても差し支えない。

【0071】(3f) 導電性ビアの第 2 の主表面側形成：フォトリソ法(ウェットエッチングやドライエッチングを含む)やレーザー加工法等、周知の手法を用いて、第 2 の主表面 200 側の第 1 の電極層 410 と保護層 5、ベース基板 1 を順次加工することにより、ビア絶縁層 3、導電性ビア 2 の第 2 の主表面 200 側の部分を形成する。この場合、ベース基板 1 の加工によって導電性ビア 2 の周囲に形成されるスルーホールからビア絶縁層 3 の第 1 の主表面 100 側を露出させる。これにより、導電性ビア 2 がベース基板 1 から電気的に分離される。

【0072】(3g) ビア絶縁層の第 2 の主表面側充填および第 3 の絶縁層の形成：真空ホットプレス法等の手法を用い、プリプレグ等の有機絶縁シートをベース基板 1 の第 2 の主表面 200 側に貼り付け、第 2 の主表面 200 側の導電性ビア 2 の周囲のスルーホール部にビア絶縁層 3 を充填し、第 2 の主表面 200 側に第 3 の絶縁層 21 を形成する。なお、有機絶縁シートとしては、スルーホールへの埋め込み性や加工性、耐熱性を考慮して選択すればよい。また、液状の絶縁材料をディップ法や印刷法、スプレー塗布、転写法等、別の手法を用いて形成しても差し支えない。ここでは、ビア絶縁層 2 の第 2 の主表面 200 側の部分と第 3 の絶縁層 21 を同一工程で、同じ材料から形成しているが、これに限定されることはなく、異なる材料を用いて、別々の工程により形成しても差し支えない。

【0073】(3h) 第 1 の絶縁層及び第 3 の絶縁層へのスルーホール形成：フォトリソ法(ウェットエッチング、ドライエッチング等)やレーザー加工法、等の周知の方法を用いて、第 1 の主表面 100 側の第 1 の絶縁層 11 と第 2 の主表面 200 側の第 3 の絶縁層 21 の中にスルーホール 13 を形成する。この場合、研磨法やドライエッチング法、等の周知の方法を用いて、第 1 の絶縁層 11 と第 3 の絶縁層 21 を薄膜化してから、第 1 の絶縁層 11 と第 3 の絶縁層 21 の中にスルーホール 13 を形成しても差し支えない。

【0074】以下、図 13 を参照にしながら説明する。

【0075】(3i) 導電性薄膜パターンの形成：スパッタ法や真空蒸着等の物理的手法、化学蒸着法、ゾルゲル法、めっき法等の周知の手法を用い、第 1 の主表面 100 側の第 1 の絶縁層 11 と第 2 の主表面 200 側の第 3 の絶縁

層 21 を被覆するように導電性薄膜層を成膜する。次いで、フォトリソ法、等の周知の手法を用いて第 1 の主表面 100 側に導電性薄膜パターン 6 と接続端子 71、81 を、第 2 の主表面 200 側に導電性薄膜パターン 6 と接続端子 72、82 を形成する。この工程で形成される導電性薄膜パターン 6 により、第 1 の主表面 100 側と第 2 の主表面 200 側に形成されたキャパシタ 4 の第 2 の電極 42 と導電性ビア 2 が電気的に接続される。この後の工程では、400℃以上の高温プロセスを通す必要がないので、導電性薄膜パターン 6 や接続端子 71、81、72、82 を構成する材料として、耐酸化性に問題がある Cu や耐熱性に問題がある Al 等の低抵抗材料を用いることができる。

【0076】(3j) 第 2 の絶縁層及び第 4 の絶縁層の形成：スピン塗布法など周知の手法により有機系絶縁樹脂を塗布し、乾燥、硬化を行って、第 1 の主表面 100 側に第 2 の絶縁層 12 を、第 2 の主表面 200 側に第 4 の絶縁層 22 を、成膜する。次いで、フォトリソ法等の周知の手法を用いてスルーホール 14 を形成する。この場合、有機系絶縁樹脂として感光性材料を選択し、塗布、乾燥、露光、現像、硬化の各工程により形成しても良い。この場合には、絶縁樹脂を加工(エッチング)する工程を省略できる。また、有機系絶縁樹脂としてプリプレグ等の絶縁シートを選択し、この絶縁シートを真空ホットプレス法等により基板の両面に貼り付け、レーザー加工等によりスルーホール 14 を形成しても差し支えない。

【0077】(3k) 端子メタライズ層の形成：選択した接続手法に適合した材料をスパッタ法や真空蒸着法、めっき法等の周知の成膜手法により成膜し、フォトリソ法等の周知の手法によりパターン形成を行い、回路基板の第 1 の主表面 100 側の接続端子 71、81 と第 2 の主表面 200 側の接続端子 72、82 に対する端子メタライズ層 9 を形成する。接続端子メタライズ層 9 に用いる材料は接続手法によって選択すればよい。例えば、はんだ接続を前提にする場合、Au/Ni/Cr 積層膜や Ni-Cu/Cr 積層膜等を用いればよい。ここで、A/B は B の上に A が積層されることを示す。

【0078】これで、図 10 に示した回路基板 10000 が完成する。ここで述べた回路基板の製造方法で特徴的な点は、ベース基板 1 の 2 つの主表面(第 1 の主表面 100 および第 2 の主表面 200)上にキャパシタ 4 を形成してから、ベース基板 1 内に該ベース基板と同じ導電性部材からなる導電性ビア 2 を形成しているところ、にある。ここで示した製造方法によれば、ベース基板 1 として耐熱性や耐酸化性に優れた材料を用いると、キャパシタ 4 の形成温度の上昇と酸化性雰囲気での熱処理等が可能になる。すなわち、SrTiO<sub>3</sub>や(Ba, Sr)TiO<sub>3</sub>、Pb(Zr, Ti)O<sub>3</sub>、Pb(Mg<sub>1/3</sub>Nb<sub>2/3</sub>)O<sub>3</sub>等のペロブスカイト構造酸化物に対して 600℃～900℃の熱処理を施すことが可能になり、ペロブスカイト構造酸化物の誘電率を本来の値に近づけて高くすることができる。このため、誘電率の高いペロブスカイ

ト構造酸化物を誘電体層40としたキャパシタ4を内蔵させた回路基板を提供できる。

【0079】本実施の形態では、1000℃以上の融点を有する高融点材料として42アロイを用いているが、これに限定されるものではない。例えば、ニッケルやクロム、コバルト、アルミニウム、等を含む鉄合金(42アロイとは組成が異なっても良い)やW、Ni、Mo、Ta等の高融点金属を用いても差し支えない。

【0080】また、保護層5としてITOを用いているが、これに限定されるものではない。すなわち、保護層5は、ベース基板1が耐酸化性に乏しい場合に、キャパシタ4の形成工程からベース基板1を保護するために設けるものであり、耐酸化性や耐熱性に優れた材料であれば差し支えない。たとえば、PtやRu等の白金金属材料や、酸化インジウム、酸化スズ、酸化亜鉛、酸化ルテニウム、酸化ロジウム、酸化レニウム、酸化イリジウム、酸化オスミウム等の導電性酸化物を用いても差し支えない。また、本発明の場合には、ベース基板1もキャパシタ4の第1の電極41としての働きをするため、保護層5は導電性材料であることが望ましいが、膜厚を薄くすることによって、酸化アルミニウム、酸化シリコン、窒化シリコン、酸化チタン等の無機系絶縁材料も使用できる。この場合には、ベース基板1と第1の電極層410とを薄膜保護層5に設けたスルーホールを介して電氣的に接続しておくことも有効である。

【0081】本実施の形態では、第1の電極層410としてPtやRuを用いているが、これに限定されるものではなく、その上に成膜する誘電体の膜質を劣化させない材料や、結晶性の改善など、膜質改善に役立つような材料の中から選択すればよい。ただし、これらの材料は保護層5の材料と重複する場合もあり、同じ材料を用いるのであれば、保護層5と第1の電極層410のいずれか一方を設ければ良い。

【0082】また、保護層5や第1の電極層410の下地からの剥離を防止するため、接着層として、ベース基板1と保護層5の間、保護層5と第1の電極層410の間、あるいは保護層が無い場合にはベース基板1と第1の電極層410の間に中間層を設けるのも良い。このような材料としては、密着性に優れた、チタン、タンタル、ハフニウム、タングステン、クロム、等の高融点金属およびこれらの窒化物、ニッケル、チタン・タングステン合金等が好ましい。

【0083】本実施の形態では、ベース基板1を融点が1000℃以上の高融点材料で構成しているため、600℃から900℃の熱処理が可能になり、ペロブスカイト構造酸化物を誘電体層40として用いているが、これらに限定されるものではなく、1000℃以下のプロセスで形成できる誘電体材料を用いても差し支えない。たとえば、タンタル酸化物やシリコン酸化物、アルミニウム酸化物、チタン酸化物、高温での熱処理を施さないペロブスカイト構

造酸化物、などを用いても差し支えない。

【0084】以上述べてきたことから明らかなように、本実施の形態によれば、1000℃までの温度プロセスが可能になるため、600℃～900℃の熱処理を要するペロブスカイト構造酸化物を誘電体層とした、高容量密度のキャパシタを内蔵した回路基板を提供できる。従って、本実施の形態の場合にも、第1の実施の形態と同じように、大容量でインダクタンス成分の少ないキャパシタを内蔵させた、インターポーザとして好適な回路基板を提供できる効果が得られる。さらに、本実施の形態の場合、ベース基板の両面にキャパシタを形成することにより、回路基板に内蔵させるキャパシタの容量を第1の実施の形態に比べて大きくすることができる。

【0085】〈第4の実施の形態〉本発明の第4の実施の形態を図14に示す。図14は、本実施の形態の回路基板を要部断面図で示したものである。図において、73はベース基板1に接続された接続端子を、83はキャパシタ4の第2の電極42に接続された接続端子を、14000は本発明を適用した回路基板を示し、他の符号は図1～図13の場合と同じである。図14の場合にも、キャパシタ4搭載部の詳細をわかりやすくするため、回路基板の主表面の部分を拡大した。特に、膜厚方向を拡大した。

【0086】本実施の形態の回路基板14000では、キャパシタ4の第1の電極41（あるいは、ベース基板1）に接続された少なくとも2つの接続端子（図14では、接続端子71と73）と第2の電極42に接続された少なくとも2つの接続端子（図14では、接続端子81と83）が同じ主表面（図14では、第1の主表面100）側に設けられている。すなわち、第1の実施の形態で示した回路基板1000の第2の主表面200側に設けた接続端子72、82を第1の主表面100側に持っていったと考えて差し支えない。従って、本実施の形態の場合、第1の主表面100側と第2の主表面200側を電氣的に接続する導電性ビア2は設けられていない。これらの点が、本実施の形態が第1の実施の形態と異なる点であり、他の構成は第1の実施の形態と同じである。

【0087】この実施の形態で示した回路基板14000のキャパシタ4では、キャパシタ4の第1の電極に接続される接続端子と第2の電極に接続される接続端子が、同じ主表面において隣接して配設されている。すなわち、第1の主表面100側において、接続端子71と81が隣接し、また、接続端子72と82が隣接している。これにより、キャパシタ4に対する電流経路のループ断面積を小さくできる。また、上記ベース基板1の表裏面を横切る平面の中に、上記キャパシタ4の上記第2の電極42に接続される上記第2の接続端子を有する実装用接続端子対を構成するすべての接続端子（図14では、接続端子71、81、73、83）の少なくとも一部を含む平面が存在するように、各接続端子が配置されている。これにより、回路基板14000のキャパシタ4では、キャパシタ4の第1の電

極41を流れる電流と第2の電極42を流れる電流の中に、お互いに方向が反対となる成分が多くなるようにしている。この電流方向が反対になることによって発生する第1の電極41と第2の電極42の間の相互インダクタンスと、上述したキャパシタ4の電流経路のループ断面積の低減により、キャパシタ4のインダクタンス成分を低減させることができる。

【0088】このように、本実施の形態の場合にも、第1の実施の形態と同じく、インダクタンス成分の少ないキャパシタを内蔵した回路基板を提供できる。ただし、本実施の形態の場合、実装用接続端子が第1の主表面100側のみに形成されており、第2の主表面200側には形成されていない。このため、本実施の形態による回路基板をインターポーザとして用いることはできない。しかし、導電性ビア2を設けていない分だけ、キャパシタを形成する面積が大きくとれ、低インダクタンスで大容量のキャパシタを集積させた回路基板を提供することができる。この回路基板を配線基板に搭載し、例えば、接続端子83を電源電極に、接続端子73を電源の接地電極に、接続端子81を半導体チップの電源ラインに、接続端子71を半導体チップの接地ラインに接続することにより、本実施の形態の回路基板に集積したキャパシタをデカップリングキャパシタとして用いることができる。なお、本実施の形態の場合、電極パターン形状など第1の実施の形態と同じにできるため、インターポーザとして使用できない以外は、第1の実施の形態と同じ効果を得ることができる。

【0089】次に、第4の実施の形態を示した図14の回路基板14000の製造方法について説明する。図15と図16は、回路基板14000の製造工程の一例を要部断面図で示した工程フロー図である。

【0090】まず、図15を参照にしながら、回路基板14000の製造工程について説明する。

【0091】(4a) ベース基板の準備：たとえば、42アロイ(鉄FeとニッケルNiを主成分とする合金)等の導電性部材を適正な大きさに切り出し、必要に応じて表面研磨等を行って平滑にし、ベース基板1とする。次いで、ベース基板1の脱脂処理、中性洗剤やアルカリ洗剤による洗浄を行い、表面を清浄にする。

【0092】(4b) 保護層の形成：ベース基板1上に、スパッタ法や真空蒸着法等の物理的手法、化学蒸着法、ゾルゲル法、MOD法、めっき法等の周知の手法を用いて保護層5を成膜する。保護層5としては、キャパシタ4形成プロセスにおいても安定であり、ベース基板1を保護できる、導電性酸化物や白金金属材料が望ましい。たとえば、導電性酸化物としては、酸化スズ混合物(ITO)を用いる。

【0093】(3c) キャパシタの形成：ベース基板1の第1の主表面100側に、スパッタ法や真空蒸着法等の物理的手法、化学蒸着法、ゾルゲル法、MOD法、めっき法

等の周知の手法を用いて、第1電極層410を成膜する。第1の電極層410として用いる材料は、この上に堆積する誘電体層40との整合性を考えて選択する。例えば、SrTiO<sub>3</sub>やBST等のペロブスカイト構造酸化物を誘電体層40に用いる場合には、PtやRu等を用いればよい。この第1の電極層410上に、スパッタ法や真空蒸着法等の物理的手法、化学蒸着法、ゾルゲル法、MOD法等の周知の成膜手法を用いて誘電体層40を形成する。大容量のキャパシタを必要とする場合には、高い誘電率を示すSrTiO<sub>3</sub>やBST等のペロブスカイト構造酸化物を誘電体層40として選択する。この場合、600～900℃の熱処理を行い、誘電体層40の結晶性を改善する。これにより、誘電体層40の誘電率を高くできる。次いで、スパッタ法や真空蒸着法等の物理的手法、化学蒸着法、ゾルゲル法、MOD法等の周知の手法を用いて、誘電体層40上に導電性薄膜を成膜し、フォトリソ等の周知の手法を用いてパターン形成を行い、第2の電極42を設ける。第2の電極42の材料は誘電体層40に合わせて選択すれば良い。次いで、周知のフォトリソ等を用いて加工し、誘電体層40の不要部分を除去する。なお、第1の電極層410は必ずしも必要ではなく、省略しても差し支えない。

【0094】(4d) 第1の絶縁層および第3の絶縁層の形成：真空ホットプレス法等の手法を用いてプリプレグ等の有機絶縁シートをベース基板1の第1の主表面100側と第2の主表面200側に貼り付け、第1の絶縁層11と第2の絶縁層21を形成する。なお、有機絶縁材料としてはプリプレグに限定されるものではなく、その他の材料を用いても差し支えない。また、液状の絶縁材料をディップ法や印刷法、スプレー塗布、転写法等、別の手法を用いて形成しても差し支えない。

【0095】(4e) 第1の絶縁層へのスルーホール形成：フォトリソ法(ウェットエッチング、ドライエッチング等)やレーザ加工法、等の周知の方法を用いて、第1の絶縁層11にスルーホール13を形成する。なお、この場合、研磨法やドライエッチング法、等の周知の方法を用いて、第1の絶縁層11の薄膜化を行ってからスルーホール13を形成しても差し支えない。

【0096】以下、図16を参照にしながら説明する。

【0097】(4f) 接続端子の形成：スパッタ法や真空蒸着等の物理的手法、化学蒸着法、ゾルゲル法、めっき法等の周知の手法を用いて、第1の絶縁層11上に接続端子層を成膜する。次いで、フォトリソ等、周知の手法を用いて加工し、接続端子71、81、73、83を形成する。この後の工程では、400℃以上の高温プロセスを必要としないので、接続端子71、81、73、83を構成する材料として、耐酸化性に問題があるCuや耐熱性に問題があるAl等の低抵抗材料を用いることができる。

【0098】(4g) 第2の絶縁層形成：スピン塗布法など周知の手法により有機系絶縁樹脂を塗布し、乾燥、硬化を行って第2の絶縁層12を第1の主表面100側に形成す



る。次いで、フォトリソグラフィ等の周知の手法を用いてスルーホール14を形成する。この工程では、有機系絶縁樹脂として感光性材料を選択し、塗布、乾燥、露光、現像、硬化の各工程により形成しても良い。この場合には、有機系絶縁樹脂を加工(エッチング)する工程を省略できる。また、有機系絶縁樹脂としてプリプレグ等の絶縁シートを選択し、この絶縁シートを真空ホットプレス法等により基板の主表面100側に貼り付け、レーザ加工法等によりスルーホール14を形成しても差し支えない。

【0099】(4f) 端子メタライズ層の形成: 選択した接続手法に適合した材料をスパッタ法や真空蒸着法、めっき法等の周知の成膜手法により成膜し、フォトリソグラフィ等の周知の手法によりパターン形成を行い、接続端子71、81、73、83に対する端子メタライズ層9を形成する。接続端子メタライズ層9に用いる材料は、接続手法を考慮して選択すればよい。たとえば、はんだ接続を前提にする場合には、Au/Ni/Cr積層膜やNi-Cu/Cr積層膜等を用いればよい。ここで、A/BはBの上にAが積層されることを示す。

【0100】なお、問題が無ければ、接続端子71、81、72、82を端子メタライズ層で形成し、この工程や(4g)の第2の絶縁層形成を省略しても差し支えない。

【0101】これで、図14に示した回路基板14000が完成する。以上述べてきたように、回路基板14000の製造方法は、導電性ビア2の形成工程と第2の主表面200側の接続端子、第4の絶縁層、端子メタライズ層の形成工程が無いことを除いて、図5と図6に示した第1の実施の形態の場合と同じである。従って、本実施の形態の場合にも、第1の実施の形態と同じ効果を得ることができ、誘電率の高いペロブスカイト構造酸化物を誘電体層に用いることにより、高容量密度のキャパシタを集積した回路基板を提供できる。また、本実施の形態の場合、第1の実施の形態に比較し、容易で製造工程が短く、製造歩留まりが高くなることから、インダクタンス成分の少ない大容量のキャパシタを集積した回路基板の製造コストを低くできる。

【0102】以上述べてきたように、本実施の形態によれば、インダクタンス成分の少ない大容量のキャパシタを集積させた回路基板を提供できる。また、キャパシタの2つの電極をそれぞれ電源ラインと接地ラインに接続することにより、インダクタンス成分の少ない大容量のキャパシタをデカップリングキャパシタとして用いることができる。

【0103】(第5の実施の形態) 本発明の第5の実施の形態を図17~図19に示す。図17は本実施の形態における回路基板を要部平面図で示し、図18と図19は要部断面図で示したものである。図において、17000は本発明を適用した回路基板を示し、他の符号は図1~図16の場合と同じである。図18と図19では、キャパシタ4搭載部の詳細をわかりやすくするため、回路基板の主表面の部分

を拡大した。特に、膜厚方向を拡大した。

【0104】図17は本実施の形態における回路基板17000のキャパシタ4を形成した第1の主表面100側の要部平面図であり、接続端子の配置状態とキャパシタ4のパターン形状のを示すものである。図において、Xで示した範囲は端子メタライズ層9と第2の絶縁層12を除去した様子を示す、キャパシタ4を形成した第1の主表面100側の要部平面図であり、接続端子の配置状態を示している。回路基板17000の第1の主表面100において、y11およびy21で示した一点鎖線とx11で示した一点鎖線の交点に接続端子81が、y12およびy22で示した一点鎖線とx11で示した一点鎖線の交点に接続端子71が、y11およびy21で示した一点鎖線とx12で示した一点鎖線の交点に接続端子73が、y12およびy22で示した一点鎖線とx12で示した一点鎖線の交点に接続端子83が、設けられている。なお、回路基板17000の第2の主表面200側には接続端子は設けられていない。Yで示した範囲は端子メタライズ層9と第2の絶縁層12、第1の絶縁層11を除去した様子を示す、キャパシタ4を形成した第1の主表面100側の要部平面図であり、キャパシタ4の平面パターン形状を示している。本実施の形態の場合、図2の(2b)に示した場合と同様に、キャパシタ4の第2の電極42は各キャパシタごとに分離されている。

【0105】図18は、図17において、一点鎖線y11、y22で示した領域の一部分を示す要部断面図である。すなわち、(18a)は一点鎖線y11で示した17Aから17Bにかけての領域の一部を示す要部断面図であり、(18b)は一点鎖線y22で示した17Cから17Dにかけての領域の一部を示す要部断面図である。図19は、図17において、一点鎖線x11、x12で示した領域の一部分を示す要部断面図である。すなわち、(19a)は一点鎖線x11で示した17Aから17Cにかけての領域の一部を示す要部断面図であり、(19b)は一点鎖線x12で示した17Bから17Dにかけての領域の一部を示す要部断面図である。なお、図18と図19では、端子メタライズ層9と第1の絶縁層11、第2の絶縁層12のいずれも省略せずに、図示した。

【0106】かかる構成により、キャパシタ4の第1の電極41と第2の電極42を流れる電流に反対方向の成分が多く存在するようにし、キャパシタ4のインダクタンス成分を小さくしている。これ以外の構成や製造方法は第4の実施の形態と同じである。従って、本実施の形態の場合にも、第4の実施の形態と同じ効果を得ることができる。すなわち、本実施の形態によれば、大容量でインダクタンス成分の少ないキャパシタを集積させた回路基板を提供できる。また、キャパシタの2つの電極をそれぞれ電源ラインと接地ラインに接続することにより、インダクタンス成分の少ない大容量のキャパシタをデカップリングキャパシタとして用いることができる。

【0107】(第6の実施の形態) 本発明の第6の実施の形態を図20に示す。図20は、本実施の形態の回路基板

を要部断面図で示したものである。図において、20000 は本発明を適用した回路基板を示し、他の符号は図1～図19の場合と同じである。図20の場合にも、キャパシタ4搭載部の詳細をわかりやすくするため、回路基板20000の主表面の部分を拡大した。特に、膜厚方向を拡大した。

【0108】本実施の形態における回路基板20000では、キャパシタ4が第1の主表面100側と第2の主表面200側の両面に形成され、第1の主表面100側のキャパシタ4と第2の主表面200側のキャパシタ4が並列接続されている。これ以外の構成は第5の実施の形態と同じである。

【0109】従って、本実施の形態の場合にも第5の実施の形態の場合と同じ効果が得られ、さらに、回路基板に内蔵させることのできるキャパシタの容量を第5の実施の形態に比べ、大きくすることができる。すなわち、本実施の形態によれば、大容量でインダクタンス成分の少ないキャパシタを集積させた回路基板を提供でき、キャパシタの2つの電極をそれぞれ電源ラインと接地ラインに接続することにより、インダクタンス成分の少ない大容量のキャパシタをデカップリングキャパシタとして用いることができる。

【0110】なお、本実施の形態における回路基板20000の製造工程は、導電性ビア2とビア絶縁層3の形成工程の無いこと以外は、図11～図13に示した第3の実施例の場合と同じである。従って、製造方法においても、第3の実施の形態と同じ効果が得られ、高い誘電率を有するペロブスカイト構造酸化物を誘電体層とするキャパシタを内蔵する基板を提供できる。また、導電性ビア2とビア絶縁層3の形成工程の無いことから、第3の実施の形態に比べて製造工程が短縮されており、製造歩留りを高くできる。

【0111】〈第7の実施の形態〉本発明の第7の実施の形態を図21に示す。図21は、第1～第3の実施の形態で示した本発明による回路基板を用いた半導体装置の一例を示したものである。図において、31は本発明を適用した回路基板を、32は半導体チップを、33は配線基板（マザーボード、等）を、34は半田を、21000と21100は本発明による回路基板を用いた半導体装置を示す。図

(21a)に示した半導体装置21000では、1つの回路基板31に対して1個の半導体チップ32を搭載しており、(21b)に示した半導体装置21100では、1つの回路基板31に対して2個の半導体チップ32を搭載している。

【0112】この実施の形態では、本発明による回路基板31をインターポーザ（中間基板）として用い、回路基板31の一方の面には半田34を用いて半導体チップ32を搭載し、回路基板21の他方の面と配線基板33を半田により接続している。

【0113】かかる構成によれば、キャパシタを内蔵した回路基板31の搭載による実装密度の低下はほとんどな

く、直下にデカップリングキャパシタを設けた半導体チップの高密度実装が可能になる。また、回路基板31に内蔵されているキャパシタの一方の電極を半導体チップ32と配線基板33の電源ラインに接続し、他方の電極を半導体チップ32と配線基板33の接地ラインに接続することにより、半導体チップの直下にデカップリングキャパシタを設けた半導体装置を得ることができ、電源ノイズや不要電磁放射が抑制された半導体装置を提供できる。

【0114】なお、本実施の形態では、本発明による回路基板31に搭載する半導体チップ32の数を1～2個としているが、3個以上の半導体チップを搭載しても差し支えない。また、本発明による回路基板31と半導体チップ32、配線基板33の接続を半田を用いて行っているが、これに限定されるものではない。

【0115】〈第8の実施の形態〉本発明の第8の実施の形態を図22に示す。図22は、第4～第6の実施の形態で示した本発明による回路基板を用いた半導体装置の一例を示したものである。図において、22000は本発明による回路基板を用いた半導体装置を示し、他の符号は図21の場合と同じである。本実施の形態では、本発明を適用した回路基板31を、半導体チップ32を搭載した配線基板33上に半田を用いて実装している。

【0116】かかる構成において、回路基板31に集積されているキャパシタの一方の電極を半導体チップ32と配線基板33の電源ラインに接続し、他方の電極を半導体チップ32と配線基板33の接地ラインに接続することにより、デカップリングキャパシタを設けた半導体装置を得ることができる。これにより、電源ノイズや不要電磁放射の抑制された半導体装置を提供できる。なお、本実施の形態では、回路基板31をインターポーザとして使用していないため、回路基板31の搭載により、半導体チップの実装密度が低下する。しかし、インターポーザとして用いることのできる第1～第3の実施の形態に比べて製造コストが低く、大容量のキャパシタを半導体装置の中に内蔵させることができる。

【0117】

【発明の効果】以上のように、本発明によれば、構成する2つの電極を流れる電流をお互いに反対方向になる成分を存在させることによってインダクタンス成分を低減し、高い誘電率を有するペロブスカイト構造酸化物等を誘電体層に適用することによって容量密度を高くしたキャパシタを内蔵した回路基板を提供できる。

【0118】そして、本発明による回路基板に内蔵させたキャパシタをデカップリングキャパシタとして用いることにより、スイッチングノイズや不要電磁放射を低減した半導体装置を提供できる。

【0119】さらに、本発明による回路基板は、半導体チップを配線基板に搭載する際のインターポーザ（中間基板）として適用できる。そのため、半導体チップの直下にデカップリングキャパシタを配置できるので、実装

密度を低下させることなくスイッチングノイズや不要電磁輻射を低減した半導体装置を提供できる。

【図面の簡単な説明】

【図 1】 本発明の第1の実施の形態である回路基板を示す要部断面図である。

【図 2】 本発明の第1の実施の形態である回路基板を示す要部平面図である。

【図 3】 本発明の第1の実施の形態の別の実施例を示す要部断面図である。

【図 4】 本発明の第1の実施の形態の別の実施例を示す要部断面図である。

【図 5】 第1の実施の形態を示した図 1 の回路基板1000の製造工程の一例を要部断面図で示した工程フロー図である。

【図 6】 図 5 に引き続き、第1の実施の形態である図 1 の回路基板1000の製造工程の一例を要部断面図で示した工程フロー図である。

【図 7】 本発明の第2の実施の形態である回路基板を示す要部平面図である。

【図 8】 図 7 に示した本発明の第2の実施の形態である回路基板を示す要部断面図である。

【図 9】 図 7 に示した本発明の第2の実施の形態である回路基板を示す要部断面図である。

【図10】 本発明の第3の実施の形態である回路基板を示す要部断面図である。

【図11】 第3の実施の形態である図10の回路基板10000の製造工程の一例を要部断面図で示した工程フロー図である。

【図12】 図11に引き続き、第3の実施の形態である図10の回路基板1000の製造工程の一例を要部断面図で示した工程フロー図である。

【図13】 図12に引き続き、第3の実施の形態である図10の回路基板1000の製造工程の一例を要部断面図で示した工程フロー図である。

【図14】 本発明の第4の実施の形態である回路基板を示す要部断面図である。

【図15】 第4の実施の形態である図14の回路基板14000の製造工程の一例を要部断面図で示した工程フロー図である。

【図16】 図15に引き続き、第4の実施の形態である図10の回路基板1000の製造工程の一例を要部断面図で示した工程フロー図である。

【図17】 本発明の第5の実施の形態ある回路基板を示す要部平面図である。

【図18】 本発明の第5の実施の形態である回路基板を示す要部断面図である。

【図19】 本発明の第5の実施の形態である回路基板を示す要部断面図である。

【図20】 本発明の第6の実施の形態である回路基板を示す要部断面図である。

【図21】 本発明の第7の実施の形態である半導体装置を示す要部断面図である。

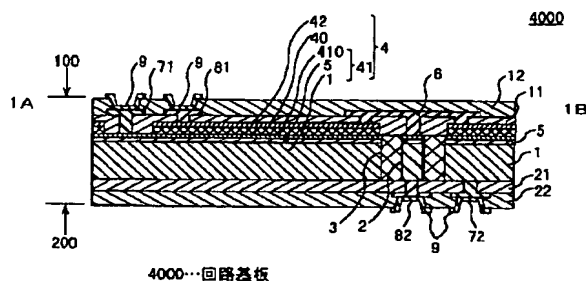
【図22】 本発明の第8の実施の形態である半導体装置を示す要部断面図である。

【符号の説明】

1…ベース基板、2…導電性ビア、3…ビア絶縁層、4…キャパシタ、40…キャパシタ4を構成する誘電体層、41、42…キャパシタ4を構成する電極、5…保護層、6…導電性薄膜パターン、9…端子メタライズ層、11…第1の絶縁層、12…第2の絶縁層、13、14…スルーホール、21…第3の絶縁層、22…第4の絶縁層、32…半導体チップ、33…配線基板(マザーボード)、34…半田、71、72、73、81、82、83…接続端子、100…回路基板(ベース基板)の第1の主表面(表面)、200…回路基板(ベース基板)の第2の主表面(裏面)、31、1000、3000、3001、4000、7000、10000、14000、17000…本発明を適用した回路基板、21000、21100、22000…半導体装置。

【図 4】

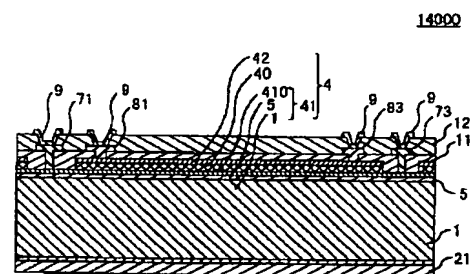
図 4



4000…回路基板

【図 14】

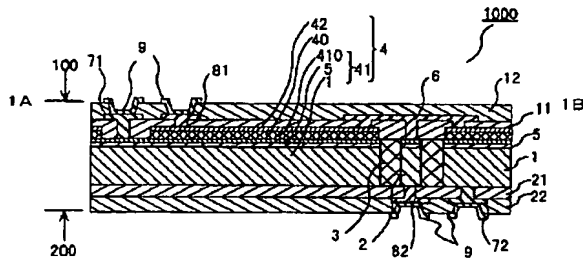
図 14



73、83…接続端子 14000…回路基板

【図1】

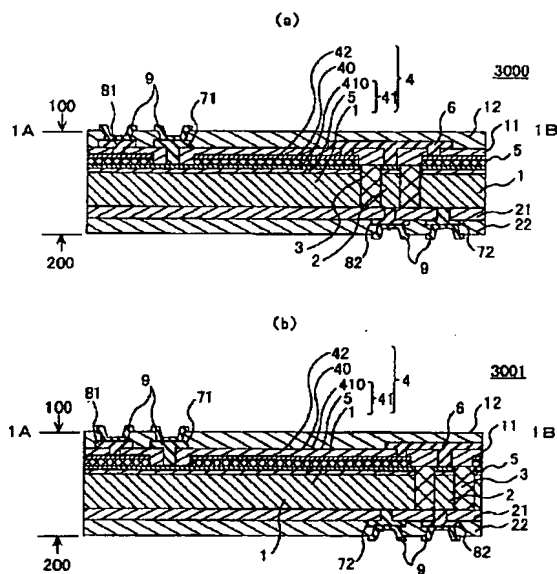
図 1



- 1…ベース基板 2…導電性ビア 3…ビア絶縁層 4…キャパシタ  
 40…キャパシタ4の誘電体層 41…キャパシタ4の第1の電極  
 42…キャパシタ4の第2の電極 410…第1の電極を構成する電極層  
 5…保護層 6…導電性薄膜パターン 9…導電性層  
 11…第1の絶縁層 12…第2の絶縁層 21…第3の絶縁層  
 22…第4の絶縁層 71, 81…第1の主表面上に設けられた接続端子  
 72, 82…第2の主表面上に設けられた接続端子 1000…回路基板  
 100…回路基板1000の第1の主表面 200…回路基板1000の第2の主表面

【図3】

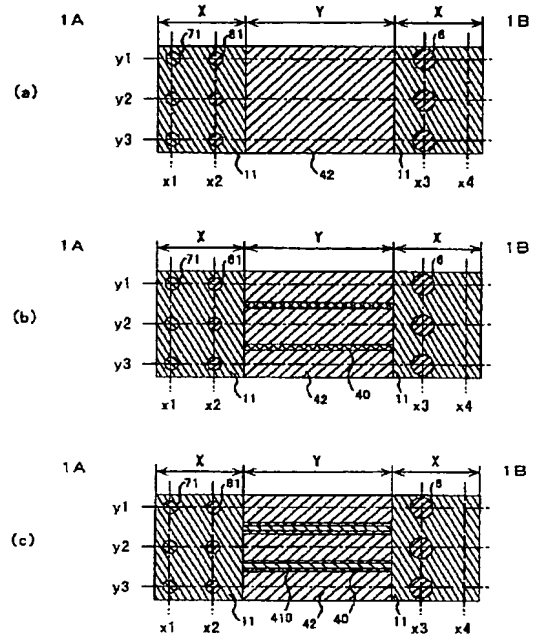
図 3



3000、3001…回路基板

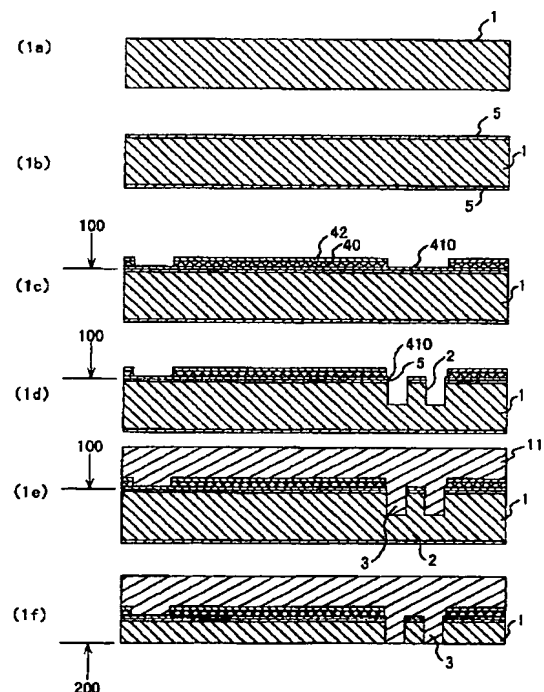
【図2】

図 2



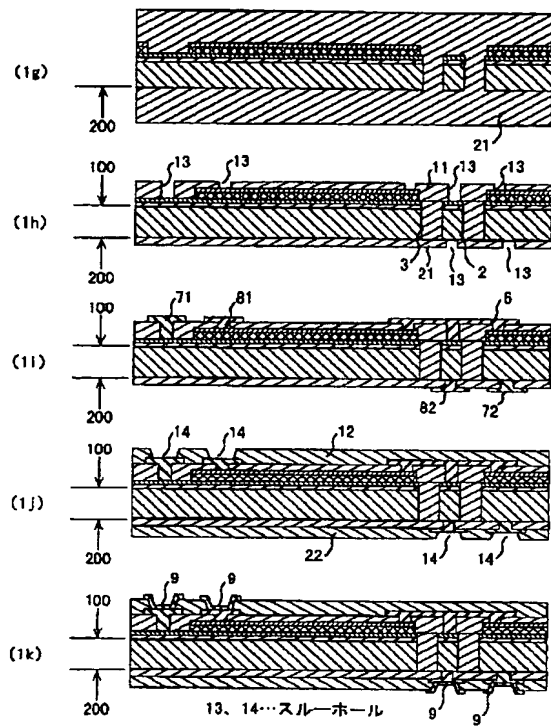
【図5】

図 5



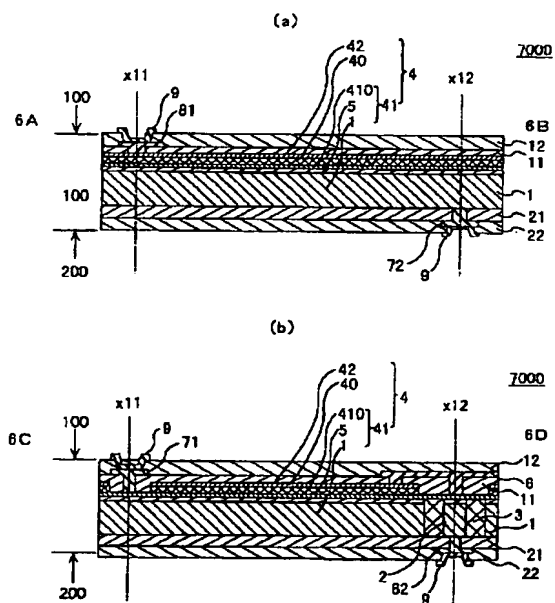
【図6】

図 6



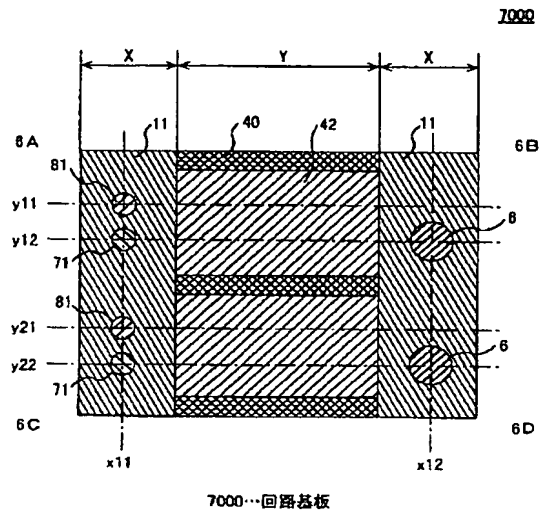
【図8】

図 8



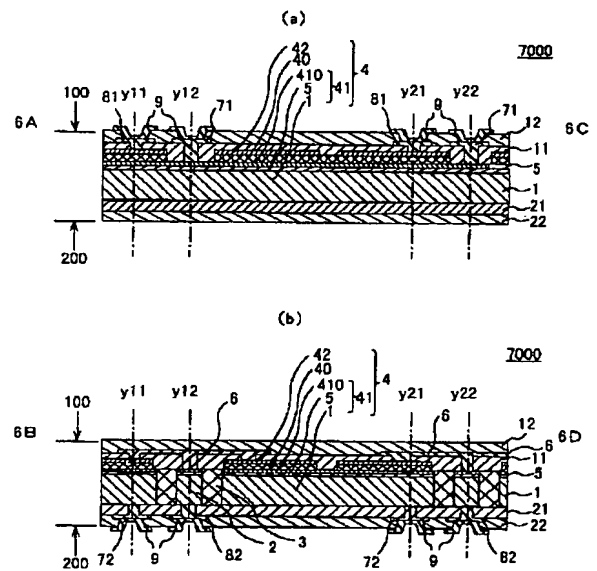
【図7】

図 7



【図9】

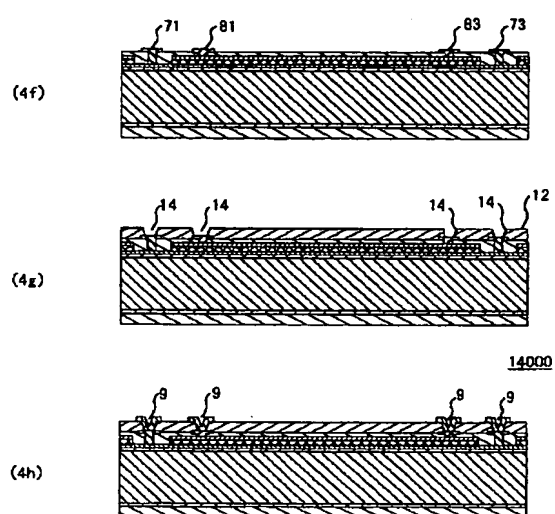
図 9





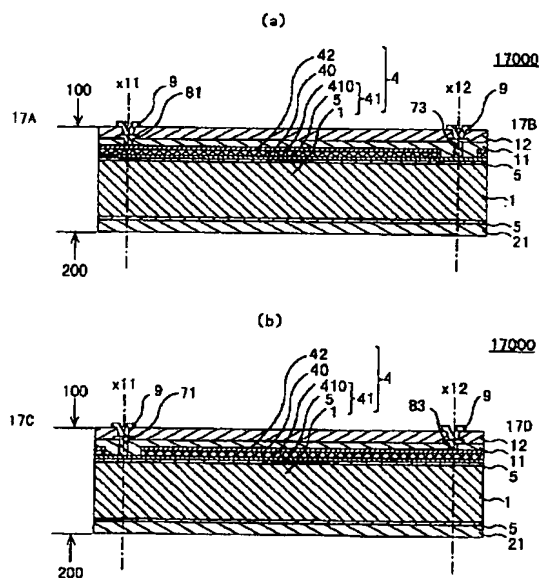
【图 16】

18



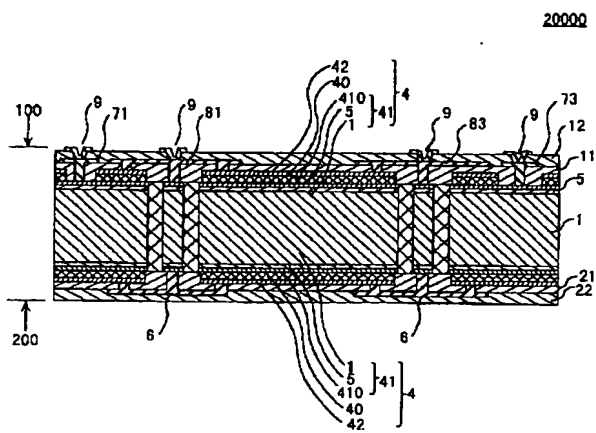
18

图 17



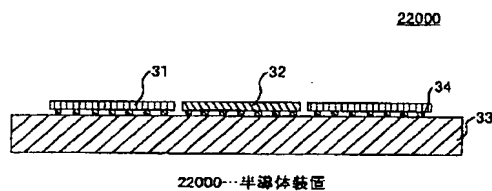
【図 20】

20



【圖 2 2】

22



22000-.. 半導體裝置



## フロントページの続き

(72) 発明者	阿部 洋一	F ターム(参考)	5E082 DD11 DD13 EE02 EE05 EE13
	神奈川県横浜市戸塚区吉田町292番地 株		EE23 EE37 FF05 FG03 FG26
	式会社日立製作所生産技術研究所内		FG42 FG46 FG54 JJ06 JJ07
(72) 発明者	松嶋 直樹		JJ09 KK08 LL15 LL35
	神奈川県横浜市戸塚区吉田町292番地 株	5E346	AA03 AA06 AA12 AA13 AA15
	式会社日立製作所生産技術研究所内		AA43 BB01 BB16 BB20 DD01
(72) 発明者	志儀 英孝		DD07 DD15 EE33 FF01 FF45
	神奈川県横浜市戸塚区吉田町292番地 株		GG01 HH01
	式会社日立製作所生産技術研究所内		

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**